

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月 5日

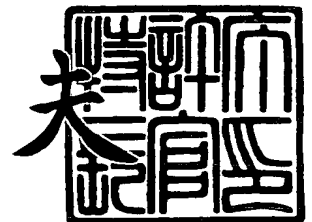
出願番号
Application Number: 特願2003-058844
[ST. 10/C]: [JP2003-058844]

出願人
Applicant(s): 株式会社デンソー
ジェコー株式会社

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3108644

【書類名】 明細書

【発明の名称】 A/D変換出力データの非直線性補正方法及び非直線性補正装置

【特許請求の範囲】

【請求項1】 アナログ信号をデジタルデータに変換するA/D変換装置において、入力されたアナログ信号と前記変換後のデジタルデータとの関係を示す入出力特性曲線の非直線性を直線補正する方法であって、

前記アナログ信号－前記デジタルデータ座標上において、所定のアナログ信号入力範囲内でアナログ信号に正比例した特性を持つ任意の直線を理想A/D直線として設定すると共に、前記アナログ信号入力範囲をN個の領域に分割し、該各領域毎に、

(1) 前記入出力特性曲線を、当該領域における該入出力特性曲線の両端を結ぶ直線である近似直線に近似し、

(2) 前記近似直線上の任意の座標点を該座標点と同じアナログ信号値に対する前記理想A/D直線上の座標点に変換する変換式を導出して、

(3) 該導出した変換式にて、前記A/D変換装置から出力されるデジタルデータを変換する

ことを特徴とするA/D変換出力データの非直線性補正方法。

【請求項2】 前記各領域のうち前記アナログ信号入力範囲の最小値を含む領域及び最大値を含む領域における前記近似直線はいずれも、前記両端を結ぶ直線に代えて、当該領域における前記入出力特性曲線の両端を除く任意の座標点と、隣接する他の領域との境界点とを結ぶ直線とする

ことを特徴とする請求項1記載のA/D変換出力データの非直線性補正方法。

【請求項3】 前記各領域のアナログ信号幅はいずれも同じ幅であることを特徴とする請求項1又は2記載のA/D変換出力データの非直線性補正方法。

【請求項4】 アナログ信号をデジタルデータに変換するA/D変換装置において、入力されたアナログ信号と前記変換後のデジタルデータとの関係を示す入出力特性曲線の非直線性を直線補正する方法であって、

(1) 前記アナログ信号－前記デジタルデータ座標上において、所定のアナログ

信号入力範囲内で、前記入出力特性曲線上の任意のM個の座標点に基づいて該入出力特性曲線を(M-1)次以下(但し2次以上)の次数の多項式で表される曲線である近似曲線にて近似し、

(2) 前記アナログ信号入力範囲内で、アナログ信号に正比例した特性を持つ任意の直線を理想A/D直線として設定し、

(3) 前記近似曲線上の任意の座標点を、当該座標点と同じアナログ信号値に対する前記理想A/D直線上の座標点に変換する変換式を導出して、

(4) 該導出した変換式にて、前記A/D変換装置から出力されるデジタルデータを変換する

ことを特徴とするA/D変換出力データの非直線性補正方法。

【請求項5】 前記多項式は2次式であることを特徴とする請求項4記載のA/D変換出力データの非直線性補正方法。

【請求項6】 前記2次式は、前記アナログ信号を x 、前記デジタルデータを y 、 c_0 、 c_1 、 c_2 をそれぞれ定数として、2次関数 $x = c_0 + c_1 y + c_2 y^2$ で表されるものであることを特徴とする請求項5記載のA/D変換出力データの非直線性補正方法。

【請求項7】 前記M個の座標点は、前記アナログ信号入力範囲の両端を除く任意の座標点であることを特徴とする請求項4～6いずれかに記載のA/D変換出力データの非直線性補正方法。

【請求項8】 前記理想A/D直線は、前記アナログ信号入力範囲内におけるアナログ信号最小値に対するデジタルデータとアナログ信号最大値に対するデジタルデータとの差が、予め設定した所定ビット長となるように設定する

ことを特徴とする請求項1～7いずれかに記載のA/D変換出力データの非直線性補正方法。

【請求項9】 請求項1に記載の非直線性補正方法を実現するために前記A/D変換装置に設けられる非直線性補正装置であって、

前記アナログ信号入力範囲におけるアナログ信号最小値とアナログ信号最大値、及び前記各領域の境界部の各アナログ信号値を、それぞれ基準信号として前記A/D変換装置へ入力する基準信号入力手段と、

【書類名】 特許願

【整理番号】 PNID4160

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/06

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 中村 三津男

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 渡辺 高元

【発明者】

 【住所又は居所】 埼玉県行田市富士見町 1 丁目 4 番地 1 号 ジェコー株式会社内

 【氏名】 増田 純夫

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【特許出願人】

 【識別番号】 000107295

 【氏名又は名称】 ジェコー株式会社

【代理人】

 【識別番号】 100082500

 【弁理士】

 【氏名又は名称】 足立 勉

 【電話番号】 052-231-7835

【手数料の表示】

 【予納台帳番号】 007102

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004766

【プルーフの要否】 要

前記各基準信号に対する前記A/D変換装置からの各デジタルデータ、及び、
前記各基準信号に対する前記理想A/D直線上の各デジタルデータに基づいて、
前記各領域毎に前記変換式を導出する変換式導出手段と、

該変換式導出手段により導出された変換式に従って前記A/D変換装置からの
出力データを変換する（領域毎に違う）データ変換手段と、

を備えたことを特徴とする非直線性補正装置。

【請求項10】 前記基準信号入力手段は、

前記アナログ信号最小値に代えて、該アナログ信号最小値以外のアナログ信号
値であって他の全ての前記基準信号より小さいアナログ信号値を前記基準信号値
とすると共に、前記アナログ信号最大値に代えて、該アナログ信号最大値以外
のアナログ信号値であって他の全ての前記基準信号より大きいアナログ信号値を前
記基準信号値とする

ことを特徴とする請求項9記載の非直線性補正装置。

【請求項11】 前記領域の数Nを任意に設定可能な分割数設定手段を備えた
ことを特徴とする請求項9又は10記載の非直線性補正装置。

【請求項12】 請求項4に記載の非直線性補正方法を実現するために前記A
/D変換装置に設けられる非直線性補正装置であって、

前記アナログ信号入力範囲内における任意のM個のアナログ信号値をそれぞれ
基準信号として前記A/D変換装置へ入力する基準信号入力手段と、

前記各基準信号に対する前記A/D変換装置からの各デジタルデータに基づい
て前記多項式を導出する多項式導出手段と、

前記理想A/D直線を表す関数式である理想A/D関数式を設定する理想A/
D関数式設定手段と、

前記多項式及び前記理想A/D関数式に基づいて、前記多項式にて表される前
記近似曲線上の任意の座標点を当該座標点と同じアナログ信号値に対する前記理
想A/D直線上の座標点に変換する変換式を導出する変換式導出手段と、

該変換式導出手段により導出された変換式に従って前記A/D変換装置からの
出力データを変換するデータ変換手段と、

を備えたことを特徴とする非直線性補正装置。

【請求項 13】 前記基準信号入力手段は、前記基準信号として 3 個の前記アナログ信号値を前記 A/D 変換装置へ入力し、

前記多項式導出手段は、前記多項式として 2 次多項式を導出する

ことを特徴とする請求項 12 記載の非直線性補正装置。

【請求項 14】 前記基準信号入力手段は、前記アナログ信号入力範囲の最小値及び最大値を除くアナログ信号値を前記基準信号として前記 A/D 変換装置へ入力する

ことを特徴とする請求項 12 又は 13 記載の非直線性補正装置。

【請求項 15】 請求項 9～14 いずれかに記載の非直線性補正装置であって、当該非直線性補正装置を構成する前記各手段が同一の半導体集積回路内に構成されていることを特徴とする非直線性補正装置。

【請求項 16】 更に、前記 A/D 変換装置も前記半導体集積回路内に構成されていることを特徴とする請求項 15 記載の非直線性補正装置。

【請求項 17】 前記 A/D 変換装置は、

前記アナログ信号の電圧レベルに応じた遅延時間でパルス信号を遅延させて出力する遅延ユニットを複数個直列に接続してなり、パルス信号を前記遅延ユニットの遅延時間にて順次遅延しながら伝送させるパルス遅延回路と、

予め設定されたサンプリング周期内に前記パルス信号が通過した前記遅延ユニットの個数を検出する検出手段と、

を備え、該検出手段による検出結果を、前記アナログ信号に対する A/D 変換結果としての前記デジタルデータとして出力するよう構成されたものであり、

前記データ変換手段は、該 A/D 変換装置からのデジタルデータを前記変換式に従って変換する

ことを特徴とする請求項 9～16 いずれかに記載の非直線性補正装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、A/D 変換装置において入力されたアナログ信号に対するデジタルデータ出力特性の非直線性を直線補正する方法及びその装置に関する。

【0002】

【従来の技術】

従来より、A/D変換装置の一構成例として、複数の反転回路をリング状に接続してなるパルス遅延回路を構成し、デジタルデータに変換すべき被変換入力電圧を各反転回路の電源電圧として印加することにより、電源電圧によって反転回路の遅延時間が異なることを利用して入力電圧のA/D変換を行うA/D変換装置が知られている（例えば、特許文献1参照。）。

【0003】

この種のA/D変換装置（以下「TAD」という）の概略構成を図20に示す。即ち、図20に示すTAD70は、スタートパルスSPを周回させるパルス遅延回路71と、外部から入力されるサンプリングクロックCKの立上がり（または立下がり）タイミングで、パルス遅延回路71内でのスタートパルスSPの到達位置を検出（ラッチ）し、その検出結果を、スタートパルスSPが通過した遅延ユニット72が先頭から何段目にあるかを表す所定ビットのデジタルデータに変換して出力するラッチ&エンコーダ73と、パルス遅延回路71内でのスタートパルスSPの周回回数をカウントするカウンタ74と、このカウンタ74によるカウント値をサンプリングクロックCKの立上がり（又は立下がり）タイミングでラッチするラッチ回路75とを備えたものである。

【0004】

パルス遅延回路71は、スタートパルスSPを所定の遅延時間だけ遅延させて出力する遅延ユニット72が複数段縦続接続されると共に、初段の遅延ユニット72が、一方の入力端子をスタートパルスSP入力用の起動用端子とするNANDゲートにて構成され、この初段の遅延ユニット72のもう一つの入力端子と、最終段の遅延ユニット72の出力端子とが接続されて、全遅延ユニット72がリング状に連結されている。また、初段のNANDゲートを除く各遅延ユニット72はインバータ等のゲート回路にて構成されており、これによりパルス遅延回路71は、スタートパルスSPを周回させることができるリングディレイライン（RDL）として構成されている。

【0005】

各遅延ユニット72には、図示しないバッファ等を介して、A/D変換対象となる入力電圧 V_{in} が駆動電源電圧として印加されている。従って、各遅延ユニット72の遅延時間は、入力電圧 V_{in} の電圧レベルに対応した時間となり、サンプリングクロック CK の一周期（以下サンプリング周期という）内にパルス遅延回路71内でスタートパルス SP が通過する遅延ユニット72の個数は、入力電圧 V_{in} の電圧レベルに依存することになる。

【0006】

そして、このように構成されたTAD70では、ラッチ&エンコーダ73から出力されるデジタルデータを、入力電圧 V_{in} の電圧レベルを表す下位ビットデータ（4bit）、ラッチ回路75から出力されるカウント値を、入力電圧 V_{in} の電圧レベルを表す上位ビットデータ（14bit）とするデジタルデータ DT が得られる。

【0007】

このデジタルデータ DT は、ラッチ76にてラッチされると共に減算器77にも入力される。ラッチ76では、サンプリングクロック CK に従って上記デジタルデータ DT をラッチし、そのラッチしたデジタルデータを次のタイミングで減算器77へ出力する。そのため、減算器77では、現在のデジタルデータ DT と、サンプリングクロック CK の1クロック分前のデジタルデータとの差が演算されることになり、この演算結果が、本TAD70のA/D変換結果として出力されることになる。

【0008】

このように構成されたTAD70の出力特性は通常、例えば図21に示すように、非直線性を有している。即ち、図21の例では、直線性を有する所望の出力特性直性（理想A/D直線）に対して上に凸状の出力特性となっている。尚、図21は、温度25℃の環境でサンプリングクロック CK を6.75MHzとしてTAD70を駆動し、A/D変換対象入力電圧を2.3V～3.3Vとした場合の出力特性例である。

【0009】

A/D変換出力が入力信号 V_{in} の変化に対してリニアに変化しないのは、パル

ス遅延回路 7 1 を構成している N A N D ゲートやインバータの遅延時間が、電源電圧の変化に対して比例的に変化しないためであり、図 2 1 のように上に凸状の特性となることは、T A D 出力特性の理論式からも明らかである。次式 (1) に、T A D 7 0 による A / D 変換出力値の理論式を示す。

【 0 0 1 0 】

【数 1】

$$\text{AD変換出力} = \frac{\beta * (V_{in} - V_t)^\alpha}{V_{in}} \quad \dots (1)$$

但し、 $\alpha = 1.4 \sim 1.6$, β : 定数 , V_{in} : 入力電圧 , V_t : 閾値

【 0 0 1 1 】

このように非直線性を有する T A D では、例えば精度のある直線性が要求されるセンシング機器等では問題となり、こういったセンシング機器や計測器等における A / D 変換装置として使用することは困難である。

そこで、T A D 出力特性の非直線性を解決する方法として、例えば上記特許文献 1 には、出力データの非直線性に対応した補正値を補正用 R O M に格納しておき、この補正値により A / D 変換出力データを補正する技術が開示されている。このようにすれば、入力電圧の変化に対してリニアに変化する A / D 変換出力特性が得られる。

【 0 0 1 2 】

【特許文献 1】

特開平 5 - 2 5 9 9 0 7 号公報

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、T A D 出力は、温度変化によっても変動する特性を有している。即ち、パルス遅延 7 1 回路を構成している各遅延ユニット 7 2 の遅延時間は、電源電圧としての入力電圧 V_{in} だけでなく温度によっても変化する。そのため、A / D 変換出力特性の非直線性も温度によって変化するのである。

【 0 0 1 4 】

これに対処するためには、例えば温度計測回路を別途備えると共に、温度に応

じた補正値を補正用ROMに格納しておいて、温度に応じた補正を行うことが考えられる。しかし、このような方法だと、想定される温度範囲内における複数の温度毎に補正値を用意する必要があり、ROMの増大や回路構成の複雑化を招き、コストアップの要因になる。

【0015】

また、TADに限らず一般的なA/D変換器においても、A/D変換出力データには非直線性誤差が含まれているのが一般的であり、しかも、周囲温度の変化によって出力値が変化してしまういわゆる温度ドリフトも生じる。そのため、一般的なA/D変換器の非直線性補正において補正用ROMを用いた補正方法を適用しようとしても、やはり上記同様の問題が生じてしまう。

【0016】

本発明は上記課題に鑑みなされたものであり、A/D変換出力特性の非直線性を、温度変化を考慮する必要なく低コストで直線補正することを目的とする。

【0017】

【課題を解決するための手段及び発明の効果】

上記課題を解決するためになされた請求項1記載の非直線性補正方法は、アナログ信号をデジタルデータに変換するA/D変換装置において、入力されたアナログ信号と前記変換後のデジタルデータとの関係を示す入出力特性曲線の非直線性を直線補正する方法であって、上記アナログ信号ーデジタルデータ座標上において、所定のアナログ信号入力範囲内でアナログ信号に正比例した特性を持つ任意の直線を理想A/D直線として設定すると共に、アナログ信号入力範囲をN個の領域に分割し、各領域毎に、入出力特性曲線を当該領域における該入出力特性曲線の両端を結ぶ直線（近似直線）に近似し、その近似直線上の任意の座標点を該座標点と同じアナログ信号値に対する理想A/D直線上の座標点に変換する変換式を導出して、該導出した変換式にて、A/D変換装置から出力されるデジタルデータを変換するものである。

【0018】

即ち、例えば図15に例示するように、アナログ信号入力範囲をN個（ここでは2個）の領域（領域1，2）に等分割し、各領域において、入出力特性曲線上

における領域両端の点を結んで近似直線とする。図15の例では、領域1では点A、Cを結ぶ近似直線に、領域2では点C、Bを結ぶ近似直線に、それぞれ近似されている。各点A、B、Cはそれぞれ、対応するアナログ信号値を実際にA/D変換装置にてA/D変換することにより得られるものである。つまり、そのときの周囲環境（温度等）に応じた実際のデータである。

【0019】

そして、各近似直線上の任意の座標点をその座標点のアナログ信号値に対する理想A/D直線上の座標点に変換する変換式を導出するのである。尚、ここでいう「入出力特性曲線」は、アナログ信号に対する実際のデジタルデータの座標点の集合である。

【0020】

変換式を導出する具体的方法は種々考えられるが、例えば、各領域における入出力特性曲線両端の座標点データ（図15では点A、B、CのA/D変換出力）を実際に得れば、その座標点データと、該各座標点のアナログ信号に対する理想A/D直線上の座標点のデータとに基づいて幾何学的に変換式を得ることができる。或いは、近似直線と理想A/D直線とを各々関数式で表して、両関数式の関係から変換式を得ることもできる。

【0021】

どのような方法で変換式を得るかは、その方法を実現する具体的構成や得られた変換式にて実際に変換演算するための具体的構成（ソフト又はハード）等を考慮して適宜決めることができる。

従って、本発明（請求項1）の非直線性補正方法によれば、実際のA/D変換出力データに基づいて変換式を導出し、その変換式によってデジタルデータの変換（直線補正）を行うため、周囲の温度変化によらず、その時々々の温度に応じた適切な変換式により精度良く直線補正することができる。しかも、単に変換式を用いた演算による直線補正であるため、従来技術のように補正用ROMに補正值を格納しておくといったやり方に比べて低コストで直線補正を実現できる。

【0022】

尚、図15では、2等分割を一例として説明したが、分割数は任意に決めるこ

とができ、分割数が多いほど非直線性誤差（直線補正後の入出力特性と理想 A/D 直線との誤差）が少なくなる。但し分割数が多くなる程、直線補正を実現するための具体的構成は複雑化するため、構成の複雑さと補正精度との兼ね合いを考慮して分割数を決めればよい。

【0023】

また、各領域は必ずしも等分割しなくてもよい。更に、理想 A/D 直線についても、図 15 で例示したように入出力特性曲線の両端を結ぶ直線に設定するのはあくまでも一例であり、例えば両端以外の任意の 2 点を結ぶ直線にしてもいいし、或いはアナログ信号入力範囲内で上記入出力特性曲線とは全く交わらない直線にしてもよく、少なくともアナログ信号入力範囲内においてアナログ信号に正比例したデジタルデータ出力特性となる直線であれば何でも良い。

【0024】

ところで、例えば図 20 で説明した TAD70 の A/D 変換出力特性の非直線性は、図 21 で説明したように、上に凸状の特性曲線となるのが一般的である。そのため、このように上に凸状の特性を持つ曲線に対して、請求項 1 のように各領域について特性曲線の両端を結ぶ直線を近似直線とすると、非直線性誤差（上記変換式による変換（直線補正）後のデータと理想 A/D 直線上のデータとの誤差）が、正・負いずれかに偏る（換言すれば誤差の絶対値が大きくなる）状態となる。

【0025】

即ち、図 15 の例からも明らかなように、本例では各領域（2 領域）ともに、入出力特性曲線より近似曲線の方が小さいため、非直線性誤差が正（又は負）に偏るのである。このように非直線性誤差が正・負いずれかに偏るのは、A/D 変換装置の特性としてあまり好ましいものではない。好ましくは、非直線性誤差が正・負同レベル、つまり絶対値が同レベルとなって「±○○%」と表せるような特性になるのがよい。

【0026】

そこで、近似直線は、例えば請求項 2 に記載のようにするとよい。即ち、アナログ信号入力範囲の最小値を含む領域及び最大値を含む領域における近似直線を

いずれも、上記に代えて、当該領域における入出力特性曲線の両端を除く任意の座標点と、隣接する他の領域との境界点とを結ぶ直線とするのである。

【0027】

例えば図16に例示するように、アナログ信号最小値を含む領域1では、その最小値に対応する座標点以外の他の座標点Aと領域境界の座標点Cとを結ぶ近似直線とし、アナログ信号最大値を含む領域2では、その最大値に対応する座標点以外の他の座標点Bと領域境界の座標点Cとを結ぶ近似直線とする。

【0028】

このようにすれば、例えば領域1においては、アナログ信号が座標点Aより大きい範囲では入出力特性曲線の方が近似直線より大きい、座標点Aより小さい範囲では入出力特性曲線よりも近似曲線の方が大きくなり、この結果、直線補正後の非直線性誤差の正・負不均衡が低減することになる。尚、2分割以外の領域分割の場合でも、アナログ信号最小値、最大値を含む各領域に対して上記同様の近似直線を得ればよい。

【0029】

従って、本発明（請求項2）の非直線性補正方法によれば、請求項1と同様の作用効果に加え、非直線性誤差の正・負不均衡是正が可能となり、延いては非直線性誤差の絶対値低減が可能となる。

ここで、N個に分割された各領域の幅がそれぞれ異なっていると、近似直線から理想A/D直線への変換式が複雑化してしまう。そのため、例えば直線補正にかかる時間が増加したり、或いは、変換式による演算をハードロジック回路で実現しようとする場合に回路構成が複雑化してしまう。

【0030】

そこで、例えば請求項3に記載のように、各領域のアナログ信号幅がいずれも同じ幅となるように分割するとよい。つまり、アナログ信号入力範囲をN個の領域に分割する際、各領域のアナログ信号幅が同一となるように分割するのである。このようにすれば、変換式を比較的簡単な式で構成でき、直線補正のための時間増加や回路構成の複雑化を抑制することができる。

【0031】

ところで、上記請求項 1～3 の各方法では、既述の通り、分割領域数 N を増加させるほど補正精度が向上（非直線性誤差が低減）する反面、直線補正を実現するための具体的構成（回路構成等）は複雑化する。また、各領域の境界部分では特性曲線の微分係数が不連続となるため、この方法による直線補正後のデジタルデータを制御等に用いると、上記不連続点で制御動作が不安定となるおそれもある。

【0032】

そこで請求項 4 記載の非直線性補正方法は、アナログ信号をデジタルデータに変換する A/D 変換装置において、入力されたアナログ信号と前記変換後のデジタルデータとの関係を示す入出力特性曲線の非直線性を直線補正する方法であって、上記アナログ信号－デジタルデータ座標上の所定のアナログ信号入力範囲内で、入出力特性曲線上の任意の M 個の座標点に基づいて、該入出力特性曲線を（ $M-1$ ）次以下（但し 2 次以上）の次数の多項式で表される曲線（近似曲線）にて近似し、一方、アナログ信号入力範囲内において、アナログ信号に正比例した特性を持つ任意の直線を理想 A/D 直線として設定し、近似曲線上の任意の座標点を当該座標点と同じアナログ信号値に対する理想 A/D 直線上の座標点に変換する変換式を導出して、該導出した変換式にて A/D 変換装置から出力されるデジタルデータを変換するものである。

【0033】

つまり、請求項 1～3 記載の方法では入出力特性曲線を領域毎に直線近似してその近似直線を理想 A/D 直線に変換する変換式を導出したのに対し、本発明（請求項 4）では、まず入出力特性曲線全体を多項式で表される近似曲線に近似し、その近似曲線上の任意の座標点を理想 A/D 直線上の座標点に変換する変換式を導出するのである。

【0034】

図 17 は、3 個の座標点 A, B, C を通る 2 次曲線を近似曲線とし、この近似曲線上の任意の座標点を理想 A/D 直線上の座標点に変換することを模式的に示したものである。図 17 の例の場合、座標点 A, B, C の各々についてアナログ信号値を実際に A/D 変換してデジタルデータを求めれば、各座標点 A, B, C



を通る 2 次曲線（近似曲線）を表す 2 次多項式を得ることができる。そして、この 2 次多項式で表される近似曲線上の任意の座標点が、変換式によって、その座標点と同じアナログ信号値に対する理想 A/D 直線上の座標点に変換される。

【0 0 3 5】

M 個の座標点から (M-1) 以下の次数の多項式を得る方法としては、例えば周知の最小二乗法やラグランジュ補間公式などがある。また、変換式を導出する具体的方法も種々あるが、例えば、以下に示す方法が考えられる。図 1 8 に例示するように、一般に $x-y$ 座標上の任意の曲線 $L_1: y = g(x)$ （逆関数： $x = G(y)$ ）上の任意の点 $A(x_1, p)$ から、別の任意の曲線 $L_2: y = f(x)$ （逆関数： $x = F(y)$ ）上の任意の点 $B(x_1, q)$ への変換は、次式 (2) を q について解くことにより得ることができる。

$$F(q) = G(p) \quad \dots (2)$$

つまり、近似曲線の関数式と理想 A/D 直線の関数式がわかれば、上記式 (2) を適用して変換式を得ることができる。尚、図 1 8 及び上記式 (2) で例示した変換式導出方法はあくまでも一例であってこれに限定されるものではない。

【0 0 3 6】

このように、本発明（請求項 4）記載の非直線性補正方法は、M 個のアナログ信号値について実際に A/D 変換を行い、その結果に基づいて近似曲線及び変換式を導出するものであるため、温度変化等の周囲環境変化によらず、その時々々の温度に応じた適切な変換式によって精度良く直線補正することが可能となる。しかも、請求項 1 記載の発明と同様、単に変換式を用いた演算による直線補正であるため、従来技術のように補正用 ROM に補正值を格納しておくといったやり方に比べて低コストで直線補正を実現できる。

【0 0 3 7】

また、請求項 1～3 いずれかに記載の発明のように入出力特性曲線を直線近似するのとは異なり、実際に A/D 変換することにより得られた M 個の座標点に従って入出力特性曲線を (M-1) 次以下の次数の多項式で表し、それを基に変換式を導出しているため、請求項 1～3 の方法より比較的高精度で微分係数の不連続のない直線補正結果を得ることが可能となる。

【0038】

尚、図18及び上記式(2)で例示した変換式導出方法(関数式による変換式導出)は、既述の請求項1～3における変換式導出の際にも適用できる。即ち、例えば図15において、座標点A, B, Cについてデジタルデータ(A/D変換出力値)を実測して、各領域毎に近似直線の一次関数式(例えばF(x))を求め、一方で理想A/D直線についても一次関数式(例えばG(x))で表し、これら二つの関数式から変換式を求めるようにしてもよい。

【0039】

ここで、近似曲線を表す多項式は、2次以上の次数であれば何でもよいが、実際の入出力特性曲線はほぼ2次曲線で表すことができ、近似した2次曲線と実際の入出力特性曲線との誤差も問題にならないレベルである。そのため、例えば請求項5に記載のように、近似曲線を表す多項式は2次式(つまり2次曲線)にするとよい。

【0040】

2次式の導出については、例えば任意の3つ以上のアナログ信号に対するデジタルデータをそれぞれ実際に求め、これらを元にして例えばラグランジュの補間公式や最小二乗法などの周知の方法で導出することができる。そして例えば、図18で例示した方法を2次式(2次曲線)から直線への変換に適用すると、以下のように変換式を得ることができる。

【0041】

即ち、図19に例示するように、任意の2次曲線(つまり近似曲線)L3を $y = b_0 + b_1x + b_2x^2$ 、別の任意の直線(つまり理想A/D直線)L4を $y = a_0 + a_1x$ とすると、逆関数はそれぞれ次式(3)、(4)のように表せる。

【0042】

【数2】

$$L3 : x = G(y) = \frac{-b_1 \pm \sqrt{b_1^2 - 4(b_0 - y)b_2}}{2b_2} \quad \dots (3)$$

【0043】

【数 3】

$$L4: x = F(y) = \frac{1}{a_1}(y - a_0) \quad \dots (4)$$

【0044】

尚、複号は、上に凸の曲線の場合（TADの入出力特性曲線に相当）は「-」を、下に凸の曲線の場合は「+」を選択する。

よって、近似曲線L3上の任意の点A（ x_1 , p ）から、理想A/D直線L4上の任意の点B（ x_1 , q ）への変換は、上記式（3）,（4）を式（2）に代入することにより、次式（5）によって得ることができる。

【0045】

【数 4】

$$q = \frac{a_1}{2b_2} \left(-b_1 \pm \sqrt{b_1^2 - 4(b_0 - p)b_2} \right) + a_0 \quad \dots (5)$$

【0046】

このように、2次式で表される多項式にて曲線近似すれば、直線補正の精度を維持しつつ直線補正を実現するための回路構成等を簡易的にすることが可能となる。

尚、この場合、上記2次式を導出するための座標点数Mは、少なくとも3個以上あればよく、これら3個以上の座標点から既述の通り例えば最小二乗法やラグランジュの補間公式等によって2次式を得ることができるが、導出するための具体的構成をより簡易的にするためには、座標点を最小（この場合はM=3）にするとよい。

【0047】

但し、座標点数が少ないと、例えばいずれかの座標点におけるデジタルデータの誤差が大きいものであったとすると、それを元に得られる近似曲線と実際の入出力特性曲線との誤差が大きくなってしまう。そのため、実際の入出力特性曲線により近い近似曲線に近似するためには、座標点数Mを多くとるとよい。つまり

、曲線近似（多項式導出）実現のための具体的構成や近似の精度などを考慮して、座標点数Mを適宜決めればよい。

【0 0 4 8】

ところで、上記例（図 1 9）のように、近似曲線を x の二次関数（ $y = b_0 + b_1 x + b_2 x^2$ ）で表すと、上記式（5）に示すように変換式の中で開平演算が行われる。そのため、変換式を単なる四則演算のみで実現するのに比べると、変換式による直線補正を実現するための具体的回路構成等が複雑化してしまう。

【0 0 4 9】

そこで、例えば請求項 6 に記載のように、上記 2 次式は、アナログ信号を x 、デジタルデータを y 、 c_0 、 c_1 、 c_2 をそれぞれ定数として、2 次関数 $x = c_0 + c_1 y + c_2 y^2$ で表されるものであるとよい。

2 次式をこのように表すことにより、例えば図 1 9 の例において、曲線 L 3 に対する上記 2 次関数式と、直線 L 4 に対する上記式（4）とにより、次式（6）の変換式が得られる。

【0 0 5 0】

【数 5】

$$q = a_1 (c_0 + c_1 p + c_2 p^2) + a_0 \quad \cdots (6)$$

【0 0 5 1】

上記式（6）のように、近似曲線を y の 2 次関数で表すことにより、単なる四則演算のみで実現可能な変換式を得ることができるため、直線補正実現のための具体的回路構成等をより簡易的に実現できる。

ところで、通常、アナログ信号入力範囲における中心値は最もよく入力される可能性が高いため、A/D 変換装置はこの中心値におけるデジタルデータがより高精度に得られるよう構成（設計）するのが一般的である。

【0 0 5 2】

そして、望ましくは中心値に限らずアナログ信号入力範囲の全範囲で高精度となるのが理想的だが、現実的には中心値との差が大きいアナログ信号だとその分

A/D変換精度も悪くなる。そのため、このように精度の悪いデジタルデータ（座標点）に基づいて上記多項式を得ようとする、得られた多項式（近似曲線）と実際の入出力特性曲線との誤差が大きくなってしまうおそれがある。

【0 0 5 3】

そこで、例えば請求項 7 に記載のように、上記 M 個の座標点は、アナログ信号入力範囲の両端を除く任意の座標点にするとよい。M 個の座標点をこのように選べば、アナログ信号入力範囲の両端の座標点を選ぶ場合（例えば図 1 7 の点 A, C）に比べて、実際の入出力特性曲線と近似曲線との誤差を低減することができる。

【0 0 5 4】

ここで、図 2 0 で説明した T A D 7 0 の場合、一般的な A/D 変換装置とは異なり、その A/D 変換の原理上、同じアナログ信号が入力されてもサンプリングクロック C K の違いによって T A D 出力データ（デジタルデータ）が異なるという特徴がある。つまり、既述の通り、T A D 7 0 は、現在のデジタルデータと 1 クロック前のデジタルデータとの差が T A D 出力（A/D 変換結果）となる構成となっている。

【0 0 5 5】

よって、サンプリングクロック C K が高くなればなるほどサンプリング間隔は短くなり、T A D 出力は小さくなっていく。下表 1 に、サンプリングクロック C K = 1 ~ 1 5 M H z としたときの、アナログ信号 2 . 3 V（最小値）、3 . 3 V（最大値）に対する T A D 出力の例を示す。

【0 0 5 6】

【表 1】

サンプリング クロック(MHz)	TAD出力	
	2.3V入力	3.3V入力
15	67	117
10	100	175
9	111	194
8	125	219
7	143	250
6	167	292
5	200	350
4	250	438
3	333	583
2	500	875
1	1000	1750

【0057】

そのため、例えばA/D変換装置を8ビット出力として使用したい場合に、アナログ信号入力範囲におけるアナログ信号最小値に対するデジタルデータとアナログ信号最大値に対するデジタルデータとの差が255（つまり 2^8-1 ）を越えていると、そのままでは8ビットA/D変換装置としては使用できないことになる。具体的には、例えばサンプリングクロックCKを1MHzとしたとき、最大値と最小値との差が、 $1750-1000=750$ 、となって、8ビットを越えてしまっている。

【0058】

一方、A/D変換装置としては、上記例示した8ビット出力や10ビット出力が主として利用されているのが一般的であり、A/D変換装置からのデジタルデータを取り込んで制御・処理等を行う装置等も、A/D変換出力ビット数をそれに合わせているものが多い。

【0059】

そこで、例えば請求項8に記載のように、理想A/D直線は、アナログ信号入力範囲内におけるアナログ信号最小値に対するデジタルデータとアナログ信号最大値に対するデジタルデータとの差が、予め設定した所定ビット長となるように設定するとよい。

【0060】

即ち、例えば所定のビット数を8ビットとする（つまり8ビットA/D変換装置として使用したい）場合は、最小値と最大値との差が8ビット分（255）となるように理想A/D直線を設定するのである。

このようにすれば、TADのようにサンプリングクロックに応じて出力ビット幅が変化するA/D変換装置に対しても、最終的なデジタルデータを所望のビット幅に変換して出力させることができるため、請求項1の効果に加えて、A/D変換装置の応用範囲を広げる効果がある。

【0061】

次に、請求項9記載の発明は、請求項1に記載の非直線性補正方法を実現するためにA/D変換装置に設けられる非直線性補正装置であって、基準信号入力手段が、アナログ信号入力範囲におけるアナログ信号最小値とアナログ信号最大値、及び各領域の境界部の各アナログ信号値をそれぞれ基準信号としてA/D変換装置へ入力し、この各基準信号に対するA/D変換装置からの各デジタルデータ（つまり上記入出力特性曲線上における各基準信号値に対するデジタルデータ）及び各基準信号に対する理想A/D直線上の各デジタルデータに基づいて、変換式導出手段が、各領域毎に変換式を導出する。そして、データ変換手段が、A/D変換装置からのデジタルデータを上記変換式によって変換する。これにより、A/D変換装置からのデジタルデータの直線補正が実現されることになる。

【0062】

このように構成された非直線性補正装置によれば、請求項1記載の方法を用いてA/D変換出力データ（デジタルデータ）の直線補正が実現されるため、請求項1記載の発明と同様の効果が得られる。

尚、非直線性補正装置は、例えばA/D変換装置の中に組み込まれることにより全体として直線補正機能付きA/D変換装置として構成されたものであってもいいし、また例えば、A/D変換装置とは別に単体で構成されたものであってA/D変換装置からの出力データを取り込んで直線補正するものであってもよく、本発明の目的（A/D変換出力データ（デジタルデータ）の直線補正）が達せられる限りその構成は特に限定されない。

【0063】

また基準信号入力手段は、アナログ信号最小値に代えて、該アナログ信号最小値以外のアナログ信号値であって他の全ての基準信号より小さいアナログ信号値を基準信号値とすると共に、アナログ信号最大値に代えて、該アナログ信号最大値以外のアナログ信号値であって他の全ての基準信号より大きいアナログ信号値を基準信号値とするようにしてもよい。

【0064】

非直線性補正装置をこのように構成すれば、請求項2記載の非直線性補正方法が実現される非直線性補正装置が構成されることになり、請求項2記載の発明と同様の効果が得られる。

さらに、アナログ信号入力範囲の分割領域数Nは、予め所定の数に固定しておいてもよいが、例えば請求項11に記載のように、分割数設定手段によって分割数（領域の数）Nを任意に設定可能となるように構成してもよい。このようにすれば、非直線性補正の精度を変えることができるという効果が得られる。

【0065】

次に、請求項12記載の発明は、請求項4に記載の非直線性補正方法を実現するためにA/D変換装置に設けられる非直線性補正装置であって、基準信号入力手段が、アナログ信号入力範囲内における任意のM個のアナログ信号値をそれぞれ基準信号として前記A/D変換装置へ入力し、この各基準信号に対するA/D変換装置からの核デジタルデータに基づいて多項式導出手段が多項式（近似曲線）を導出する。

【0066】

一方、理想A/D関数設定手段が、理想A/D直線を表す関数式である理想A/D関数式を設定し、多項式導出手段が導出した多項式及び理想A/D関数設定手段が設定した理想A/D関数式に基づいて、変換式導出手段が、上記多項式にて表される近似曲線上の任意の座標点を当該座標点と同じアナログ信号値に対する理想A/D直線上の座標点に変換する変換式を導出する。そして、データ変換手段が、A/D変換装置からのデジタルデータを上記変換式によって変換する。これにより、A/D変換装置からのデジタルデータの直線補正が実現されること

になる。

【0067】

このように構成された非直線性補正装置によれば、請求項4記載の方法を用いたA/D変換出力データ（デジタルデータ）の直線補正が実現されるため、請求項4記載の発明と同様の効果が得られる。

尚、理想A/D関数式設定手段による理想A/D関数式の設定は、例えば予め所定の関数式が設定された状態であってもよいし、また例えば、多項式導出手段による多項式導出が行われる毎に逐一設定するようにしてもよく、その設定状態・方法は特に限定されない。

【0068】

そして、例えば請求項13に記載のように、基準信号入力手段は、基準信号として3個のアナログ信号値をA/D変換装置へ入力し、多項式導出手段は、多項式として2次多項式を導出するようにしてもよい。このようにすれば、請求項5記載の非直線性補正方法と同様の効果を得ることができる。しかも、2次多項式を得るために最小限必要な3個のアナログ信号値を用いている（つまり3個の座標点から2次多項式を得るようにしている）ため、2次多項式を導出するための具体的構成をより簡易的にでき、延いては非直線性補正装置全体の構成簡略化も可能となる。

【0069】

また、基準信号入力手段は、例えば請求項14に記載のように、アナログ信号入力範囲の最小値及び最大値を除くアナログ信号値を基準信号としてA/D変換装置へ入力するものであるとよい。基準信号入力手段をこのように構成すれば、アナログ信号入力範囲の最小値及び最大値を選ぶ場合に比べて、実際の入出力特性曲線と近似曲線との誤差を低減することができる。

【0070】

ここで、請求項9～14いずれかに記載の非直線性補正装置を構成する前記各手段は、同一の半導体集積回路内に構成されるようにしてもよい。このようにすれば、例えば各手段をそれぞれ別々の部品（パッケージ）等にて構成する場合に比べ、非直線性補正装置の小型化が可能となり、当該装置の設置自由度も広がる

。

【0071】

更に、A/D変換装置も、非直線性補正装置と共に同一の半導体集積回路内に構成するようにすれば、さらなる小型化・設置自由度の向上が可能となる。

そして、本発明の非直線性補正装置は、非直線性の出力特性を持つ様々なA/D変換装置に対して適用することができるが、図20で説明したTAD70は、一般的なA/D変換装置より非直線性が大きい傾向にあり、しかも既述の通りサンプリングクロックの違いによってデジタルデータ出力値も異なる。

【0072】

即ち、上記表1において、例えばサンプリングクロック $CK=15\text{MHz}$ でのTAD出力の差は $117-67=50$ となり、サンプリングクロック $CK=1\text{MHz}$ でのTAD出力の差は $1750-1000=750$ となる。この2つのサンプリングクロック例での非線形量はそれぞれ異なっており、よって直線補正のための補正量も異なるものとなる。そのため、仮に従来のような補正用ROMを用いて直線補正を行おうとすると、温度に応じた補正值のみならず、サンプリングクロックに応じた補正值も用意する必要がある。

【0073】

そこで、本発明の非直線性補正装置が設けられるA/D変換装置は、例えば請求項17に記載のように、前記アナログ信号の電圧レベルに応じた遅延時間でパルス信号を遅延させて出力する遅延ユニットを複数個直列に接続してなり、パルス信号を前記遅延ユニットの遅延時間にて順次遅延しながら伝送させるパルス遅延回路と、予め設定されたサンプリング周期内に前記パルス信号が通過した前記遅延ユニットの個数を検出する検出手段と、を備え、該検出手段による検出結果を、前記アナログ信号に対するA/D変換結果としての前記デジタルデータとして出力するよう構成されたものであり、データ変換手段は、該A/D変換装置からのデジタルデータを変換式に従って変換するものであるとよい。

【0074】

上記構成のA/D変換回路は、A/D変換対象であるアナログ信号が、パルス遅延回路を構成する各遅延ユニットの電源電圧として入力され、各遅延ユニット

におけるパルス信号の遅延時間は、入力されたアナログ信号の電圧レベルに応じて変化する。そのため、遅延ユニットを複数個直列に接続して所定のサンプリング周期内にパルス信号を伝送させたとき、このパルス信号が通過した遅延ユニットの個数が、アナログ信号の電圧レベルに応じたものとなる。従って、この所定サンプリング周期内の遅延ユニット通過数を検出すれば、その検出結果がA/D変換結果として取り出せることになる。

【0075】

尚、パルス遅延回路は、単に遅延ユニットが複数直列接続された構成であつてもいいし、図20に示したパルス遅延回路71のようにリング状に接続された構成（直列接続であることに変わりはない）であつてもよく、パルス信号を順次伝送できる様々な構成が可能である。デジタルデータとしての出力も、検出手段による検出結果をそのまま出力してもよいし、何らかの加工を施してデジタルデータとしてもよい。

【0076】

つまり、所定サンプリング周期内における通過遅延ユニットの個数を検出でき、その検出結果に対応したデジタルデータを出力する構成である限り、上記各手段の具体的構成は特に限定されない。

請求項17に記載の発明によれば、上記構成のA/D変換装置が有するデジタルデータの非直線性を、従来の補正用ROM等を用いた複雑な構成ではなく比較的簡単な構成（請求項9～16いずれかの非直線性補正装置）にて精度良く直線補正することができる。

【0077】

【発明の実施の形態】

以下に、本発明の好適な実施形態を図面に基づいて説明する。

〔第1実施形態〕

図1は、本実施形態の補正機能付A/D変換システムの概略構成を示すブロック図である。図1に示す如く、本実施形態の補正機能付A/D変換システム1は、A/D変換装置（TAD）70と、基準電圧入力部2と、切換ロジック11と、補正部3とにより構成されており、TAD70に入力されるアナログ信号Vi

n に対する A/D 変換結果としてのデジタルデータ（非直線特性）を直線補正して出力する。

【0078】

TAD70 は、図 20 で説明した TAD70 と全く同じものであり、その詳細については既に説明しているため、ここでは TAD70 についての詳細説明を省略する。この TAD70 には、補正部 3 内のクロック発生部 15 から所定周期（サンプリング周期）のサンプリングクロック（クロックパルス）CK が生成されて TAD70 へ入力される。また、外部の図示しない制御回路（CPU 等）からスタートパルス SP（パルス信号）が入力され、このスタートパルスによって TAD70 の動作が開始されることになる。

【0079】

基準電圧入力部 2 は、補正式設定部 27 にて直線補正式を設定するために必要なデータを得るための基準電圧を順次 TAD70 へ入力するためのものであり、本実施形態では、基準電圧として、最小電圧生成部 4 からの最小電圧 V_{min} と、中心電圧生成部 5 からの中心電圧 V_c と、最大電圧生成部 6 からの最大電圧 V_{max} とが、それぞれ 3 ステートアナログスイッチ 8, 9, 10 を介して TAD70 に入力される。尚、これら基準電圧以外の、実際の A/D 変換対象となる入力電圧（例えば各種センサ等からの出力信号）も、3 ステートアナログスイッチ 7 を介して TAD70 へ入力される。

【0080】

本実施形態の TAD70 では、入力電圧範囲（本発明のアナログ信号入力範囲に相当）のスペックが最小電圧 V_{min} ～最大電圧 V_{max} に設定されており、この範囲内の入力電圧をデジタルデータに変換して出力する。また、中心電圧 V_c は、最小電圧 V_{min} と最大電圧 V_{max} の中間値である。これら 3 つの電圧（本発明の基準信号に相当）を順次 TAD70 へ入力してそれぞれ A/D 変換し、その A/D 変換結果に基づいて、後述するように直線補正式を設定する。

【0081】

尚、各電圧生成部 4, 5, 6 は、それぞれ所望の電圧（ V_{min} , V_c , V_{max} ）を生成できるあらゆる構成にて実現できる。例えば、ある一定の電圧値を

複数の抵抗にて分圧する分圧回路を構成することより、これら各電圧を得ることができる。また、以下の説明において、TAD70からのデジタルデータを「TAD出力」といい、このうち特に、最小電圧 V_{min} 、中心電圧 V_c 、最大電圧 V_{max} に対するTAD出力を「基準TAD出力」、実際のA/D変換対象電圧に対するTAD出力を「実TAD出力」ともいう。

【0082】

切換ロジック11は、補正部3内の参照電圧選択部18からの指示に従って、各3ステートアナログスイッチ7～10のいずれか一つを有効にすると共に他の全てを無効にするための信号を出力する。本実施形態では、実際のA/D変換対象電圧のA/D変換を開始する前に、最小電圧 V_{min} 、中心電圧 V_c 、最大電圧 V_{max} に対応する各3ステートアナログスイッチ8、9、10のいずれか一つのみを順次有効にすることによりこれら各電圧を順次TAD70に入力し、対応する基準TAD出力を得る。

【0083】

その後、補正式設定部27にて直線補正式が設定され、TAD70からの実TAD出力を直線補正する準備が整い次第、実際のA/D変換対象電圧に対応する3ステートアナログスイッチ7のみを有効にし、以後、再び直線補正式を設定し直すまでの所定期間中その状態を継続する。

【0084】

補正部3は、直線補正式を設定すると共にその直線補正式にて実TAD出力を直線補正するためのものであり、本実施形態では一つのFPGA (Field Programmable Gate Array) にて構成されている。この補正部3は、主として、サンプリングクロックCKを生成して出力するクロック発生部15と、TAD出力を一時的に記憶するためのレジスタと16と、レジスタ16の記憶内容に基づいて直線補正式を設定すると共にその直線補正式によって実TAD出力を直線補正する補正ロジック部17と、各3ステートアナログスイッチ7～10のうちいずれか一つのみを有効にするための指示(信号)を切換ロジック11へ出力するも参照電圧選択部18とを備える。

【0085】

参照電圧選択部 18 は、例えば、まず最小電圧 V_{min} に対応する 3 ステートアナログスイッチ 8 のみを有効にする指令を出力し、この V_{min} に対する TAD 出力 MIN が入力されレジスタ 16 内の最小データ記憶部 20 に記憶されたことを確認すると、次に中心電圧 V_c に対応する 3 ステートアナログスイッチ 9 のみを有効にする指令を出力する。そして、中心電圧 V_c に対する TAD 出力 C がレジスタ 16 内の中心データ記憶部 21 に記憶されたことを確認すると、次に最大電圧 V_{max} に対応する 3 ステートアナログスイッチ 10 のみを有効にする指令を出力する。これにより、最大電圧 V_{max} に対する TAD 出力 MAX がレジスタ 16 内の最大データ記憶部 22 に記憶されることになる。

【0086】

つまり、参照電圧選択部 18 が 3 ステートアナログスイッチ 8～10 を順次切り換える指令を出力することにより、各電圧 V_{min} 、 V_c 、 V_{max} に対する TAD 出力をそれぞれ最小データ記憶部 20、中心データ記憶部 21、最大データ記憶部 22 に記憶するのである。

【0087】

補正ロジック部 17 は、直線補正式が設定される補正式設定部 27 と、その直線補正式に従って実 TAD 出力の変換（補正演算）を行う補正演算部 26 とを備える。補正式設定部 27 は、レジスタ 16 内の各記憶部 20～22 にそれぞれ記憶された MIN、C、MAX に基づいて、直線補正式を設定する。この直線補正式の設定について、図 2 に基づいて説明する。

【0088】

図 2 は、本実施形態の TAD 出力特性を示すグラフであり、横軸を TAD 70 の入力電圧、縦軸を TAD 出力とする座標上に、入力電圧と実 TAD 出力との関係を示す TAD 出力特性曲線（本発明の入出力特性曲線）が点線で表されている。このように、TAD 出力特性曲線は非直線となっており、これをそのまま A/D 変換結果として各種制御等に用いると、非直線性誤差に起因する各種影響が生じるおそれがある。

【0089】

そこで本実施形態では、最小電圧 V_{min} ～最大電圧 V_{max} までの入力電圧

範囲を 2 つの領域（領域 1，領域 2）に等分割する。領域境界部となる入力電圧は中心電圧 V_c である。そして各領域において、TAD 出力特性曲線を、その領域における特性曲線両端を結ぶ直線（近似直線）にて近似する。

【0090】

即ち、領域 1 においては、最小電圧 V_{min} に対する TAD 出力を表す座標点と、中心電圧 V_c に対する TAD 出力を表す座標点とを結ぶ近似直線 L11 に近似し、領域 2 においては、中心電圧 V_c に対する TAD 出力を表す座標点と、最大電圧 V_{max} に対する TAD 出力を表す座標点とを結ぶ近似直線 L12 に近似する。一方、入力電圧に対して正比例した TAD 出力特性を持つ直線を理想 A/D 直線として設定する。本実施形態では、最小電圧 V_{min} と最大電圧 V_{max} に対する TAD 出力を示す座標点を結ぶ直線を理想 A/D 直線とする。

【0091】

そして、各領域 1，2 毎に、近似直線 L11，L12 上の任意の座標点をその座標点と同じ入力電圧値における理想 A/D 直線上の座標点に変換する変換式（つまり直線補正式）を導出する。この直線補正式の導出（設定）を行うのが、補正ロジック 17 内の補正式設定部 27 である。

【0092】

ここで、本実施形態における各近似直線 L11，L12 から理想 A/D 直線上への座標点変換原理について、図 3 に基づいて説明する。図 3 に示す如く、点 P1 (x_1, y_{p1}) と点 P2 (x_2, y_{p2}) を結ぶ直線を近似直線とし、点 Q1 (x_1, y_{q1}) と点 Q2 (x_2, y_{q2}) を結ぶ直線を理想 A/D 直線とする。そして、 $P1 \rightarrow Q1$ 、 $P2 \rightarrow Q2$ 、の変換がなされるものとし、近似直線上の任意の点 Pa (x_a, y_{pa}) は理想 A/D 直線上の点 Qa (x_a, y_{qa}) へ変換されるものとする。と、近似直線と理想 A/D 直線との間に次式 (7) の比例関係式が成り立つ。

【0093】

【数 6】

$$(y_{pa} - y_{p1}) : (y_{p2} - y_{pa}) = (y_{qa} - y_{q1}) : (y_{q2} - y_{qa}) \cdots (7)$$

【0094】

そして、上記式 (7) を整理すると、次式 (8) が得られる。

【0095】

【数7】

$$y_{qa} = (y_{pa} - y_{pl}) * \frac{y_{q2} - y_{q1}}{y_{p2} - y_{p1}} + y_{q1} \quad \dots (8)$$

【0096】

ここで、図2のTAD出力特性に戻り、領域1及び領域2の両端ではそれぞれ、下表2に示すような近似直線から理想A/D直線への変換が行われる。

【0097】

【表2】

	近似直線	理想A/D直線
領域1	MIN	MIN
	C	(MAX+MIN)/2
領域2	C	(MAX+MIN)/2
	MAX	MAX

【0098】

よって、上表2に示した各領域毎の各直線両端の値を上記式 (8) に代入することにより、次式 (9) に示すような、近似直線上のTAD出力値Xを理想A/D直線上の補正值Hに変換する変換式 (直線補正式) が得られる。

【0099】

【数8】

〈領域1〉 $MIN \leq X \leq C$ の場合

$$\text{補正值} H = (X - MIN) * \frac{(MAX + MIN)/2 - MIN}{(C - MIN)} + MIN$$

〈領域2〉 $C < X \leq MAX$ の場合

$$\text{補正值} H = (X - C) * \frac{MAX - (MAX + MIN)/2}{(MAX - C)} + (MAX + MIN)/2$$

(9)

【0100】

そして、TAD70にて実際にA/D変換を行う際に、実TAD出力をXとしてこの式(9)を適用し、実TAD出力(X)に対する直線補正後の補正值Hを、直線補正後の最終的なA/D変換結果として出力することになる。補正式設定部27は、レジスタ16に設定されたMIN, C, MAXの3つの基準TAD出力を取り込むことにより、上記直線補正式(9)を設定する。

【0101】

そして、補正式設定部27にて直線補正式(9)が設定されると、参照電圧選択部18は、実際のA/D変換対象電圧に対応した3ステートアナログスイッチ7のみを有効にするための指令を切換ロジック11へ出力する。以後、所定期間はこの状態が継続され、TAD70には3ステートアナログスイッチ7を介してA/D変換対象電圧が入力されることになる。

【0102】

そして、その入力電圧に対する実TAD出力は、レジスタ16内の信号出力部19に一時記憶され、記憶された実TAD出力が補正演算部26にて直線補正される。補正演算部26による直線補正は、補正式設定部27にて設定された直線補正式、つまり上記式(9)に従って行われ、実TAD出力(X)が補正值Hに補正される。

【0103】

ここで、サンプリングクロックCKや現在温度に対する情報は、そのままこの3つの基準TAD出力値(MIN, C, MAX)に反映されているため、上記式(9)による直線補正は、そのときのサンプリングクロックCKや現在温度に対応した適切な補正となる。

【0104】

本実施形態では、この基準TAD出力を定期的に(或いはA/D変換が行われないタイミングで)取り込む構成にすることにより、サンプリングクロックCKや周囲温度の変動に即対応した直線補正式(9)が設定され、適切な直線補正が行われるようにしている。定期的な取り込みの具体例としては、例えばTAD70が設置される環境において予め予想される温度変化状況を考慮し、予想される

温度変動より短い周期で取り込む方法が考えられる。

【0105】

尚、ここでいうサンプリングクロックCKの変動とは、A/D変換中にサンプリングクロックCKが変動することではなく、本システムの電源投入時のサンプリングクロックCKが変わることを意味している。つまり、直線補正式(9)による直線補正により、例えば1MHzのサンプリングクロックCKでA/D変換したり、或いは10MHzのサンプリングクロックCKでA/D変換するといった場合でも、サンプリングクロックCKの違いを何ら意識する必要がなくなる。

【0106】

図4に、本実施形態の直線補正を行った場合のTAD出力特性の一例を示す。図示の如く、直線補正を行わない場合(つまり実TAD出力そのままの場合)は、既に説明した図21と同様、理想A/D直線に対する非直線性誤差が大きい。直線補正を行った場合は、理想A/D直線とほぼ重なった状態となっており、本実施形態の直線補正効果が明確に表された結果となっている。

【0107】

以上詳述したように、本実施形態の補正機能付A/D変換システムでは、最小電圧 V_{min} ～最大電圧 V_{max} の入力電圧範囲を、中心電圧 V_c を境界として領域1と領域2に2等分割し、各領域毎に、TAD70からの実際の出力特性であるTAD出力特性曲線をそれぞれ近似直線L11, L12に近似する。そして、これら各近似直線L11, L12から理想A/D直線(本例では V_{min} 及び V_{max} に対するTAD出力の座標点を結ぶ直線)への変換式を直線補正式(9)として設定する。

【0108】

この設定のために、実際のA/D変換の前に予めTAD70に基準電圧である V_{min} 、 V_c 、 V_{max} を入力してそれぞれ対応する基準TAD出力MIN、C、MAXを得て、これらに基づき上記式(9)の直線補正式を設定する。そして、実際のTAD出力値を直線補正式(9)における被補正值Xとして演算することにより、直線補正後の補正值Hを得る。

【0109】

従って、本実施形態の補正機能付 A/D 変換システム 1 によれば、周囲の温度変化やサンプリングクロック C K の違いによらず、その時々温度やサンプリングクロック C K に応じた適切な直線補正式により精度良く直線補正することができる。しかも、単に上記直線補正式 (9) に従った演算による直線補正であるため、従来技術のように補正用 R O M に補正値を格納しておくといったやり方に比べて補正部 3 を簡易的に構成でき、低コストで直線補正を実現できる。

【0 1 1 0】

また、本実施形態では入力電圧範囲を 2 等分割しているため、例えば 3 等分割以上に分割したり、或いは各領域の幅が異なるような分割をする場合に比べて、直線補正式を比較的簡単な式で構成でき、直線補正のための時間増加や回路構成の複雑化を抑制することができる。

【0 1 1 1】

更に、本実施形態では、補正部 3 を同一 F P G A 内に構成しているため、補正部 3 の小型化、延いては本 A/D 変換システム 1 全体の小型化が可能となり、当該システム 1 の設置自由度も広がる。

ここで、本実施形態の構成要素と本発明の構成要素の対応関係を明らかにする。本実施形態において、基準電圧入力部 2 は本発明の基準信号入力手段に相当し、補正式設定部 2 7 は本発明の変換式導出手段に相当し、補正演算部 2 6 は本発明のデータ変換手段に相当する。また、T A D 7 0 は請求項 1 7 に記載の A/D 変換装置に相当するものであり、このうち、ラッチ & エンコーダ 7 3 と、カウンタ 7 4 と、ラッチ 7 5 と、ラッチ 7 6 と、減算器 7 7 と、により本発明の検出手段が構成されている。

【0 1 1 2】

[第 2 実施形態]

上記第 1 実施形態では、入力電圧範囲を 2 等分割して各領域 1, 2 毎に直線補正式を設定して直線補正する例について説明したが、本実施形態では、4 等分割して 4 つの領域各々について直線補正式を設定し直線補正する例について説明する。図 5 は、本実施形態の補正機能付 A/D 変換システムの概略構成を示すブロック図である。図 5 において、図 1 の補正機能付 A/D 変換システム 1 と同じ構

成要素には図1と同じ符号を付し、その詳細説明を省略する。

【0113】

図5に示す如く、本実施形態の補正機能付A/D変換システム30は、直線補正式を設定するための基準電圧として、第1実施形態と同じ3つの基準電圧(V_{min} 、 V_c 、 V_{max})の他、さらに参照電圧 V_L と参照電圧 V_R も設定されている。具体的には、本実施形態の基準電圧入力部32は、第1実施形態の基準電圧入力部32の構成に加え、参照電圧 V_L を生成する第1参照電圧生成部33と、参照電圧 V_R を生成する第2参照電圧生成部34を備えると共に、これら各参照電圧生成部33、34に対応した3ステートアナログスイッチ35、36を備える。

【0114】

そして、切換ロジック37は、参照電圧選択部43からの指令に従って、各3ステートアナログスイッチ7~10、35、36のうちいずれか一つのみを有効にする。

補正部31を構成するレジスタ41は、第1実施形態のレジスタ16(図1参照)の構成に加え、参照電圧 V_L に対するTAD出力であるLを記憶する第1参照電圧記憶部46、及び、参照電圧 V_R に対するTAD出力であるRを記憶する第2参照電圧記憶部47を備える。そして、補正ロジック部42は、各記憶部19~22、46、47にそれぞれ記憶されたMIN、L、C、R、MAXに基づいて直線補正式を設定し、その直線補正式に従って実TAD出力を直線補正する。

【0115】

即ち、本実施形態では、図6のTAD出力特性に示すように、入力電圧範囲を4等分割しており、参照電圧 V_L は最小電圧 V_{min} と中心電圧 V_c の中間値、参照電圧 V_R は中心電圧 V_c と最大電圧 V_{max} の中間値となっている。そして、TAD出力特性曲線を各領域毎にその領域における特性曲線両端を結ぶ直線(近似直線)にて近似する。

【0116】

即ち、領域1においては、最小電圧 V_{min} に対するTAD出力MINを表す

座標点と、参照電圧 V_L に対する TAD 出力 L を表す座標点とを結ぶ近似直線に近似し、領域 2 においては、参照電圧 V_L に対する TAD 出力 L を表す座標点と中心電圧 V_c に対する TAD 出力 C を表す座標点とを結ぶ近似直線に近似し、領域 3 においては、中心電圧 V_c に対する TAD 出力 C を表す座標点と参照電圧 V_R に対する TAD 出力 R を表す座標点とを結ぶ近似直線に近似し、領域 4 においては、参照電圧 V_R に対する TAD 出力 R を表す座標点と最大電圧 V_{max} に対する TAD 出力 MAX を表す座標点とを結ぶ近似直線に近似する。

【0117】

一方、入力電圧に対して正比例した TAD 出力特性を持つ直線を理想 A/D 直線として設定する。本実施形態でも、第 1 実施形態と同様、最小電圧 V_{min} と最大電圧 V_{max} に対する TAD 出力を示す座標点を結ぶ直線を理想 A/D 直線とする。

【0118】

そして、各領域 1～4 毎に、近似直線上の任意の座標点をその座標点と同じ入力電圧値における理想 A/D 直線上の座標点に変換する変換式（直線補正式）を導出する。この直線補正式の導出（設定）を行うのが、補正ロジック 42 内の補正式設定部 49 である。

【0119】

本実施形態における各近似直線から理想 A/D 直線上への座標点変換原理は、第 1 実施形態で図 3 に基づいて説明したものと全く同様であり、各領域 1～4 それぞれについて上記式（8）を適用することにより、次式（10）に示すような直線補正式が得られる。

【0120】

【数 9】

〈領域1〉 $\text{MIN} \leq X \leq L$ の場合

$$\text{補正值} H = (X - \text{MIN}) * \frac{(\text{MAX} + \text{MIN})/4 - \text{MIN}/2}{(L - \text{MIN})} + \text{MIN}$$

〈領域2〉 $L < X \leq C$ の場合

$$\text{補正值} H = (X - L) * \frac{(\text{MAX} + \text{MIN})/4 - \text{MIN}/2}{(C - L)} + (\text{MAX} + \text{MIN})/4 + \text{MIN}/2$$

〈領域3〉 $C < X \leq R$ の場合

$$\text{補正值} H = (X - C) * \frac{\text{MAX}/2 - (\text{MAX} + \text{MIN})/4}{(R - C)} + (\text{MAX} + \text{MIN})/2$$

〈領域4〉 $R < X \leq \text{MAX}$ の場合

$$\text{補正值} H = (X - R) * \frac{\text{MAX}/2 - (\text{MAX} + \text{MIN})/4}{(\text{MAX} - R)} + (\text{MAX} + \text{MIN})/4 + \text{MAX}/2$$

(10)

【0121】

即ち、本実施形態では、実際のA/D変換を行う前に、参照電圧選択部43が、A/D変換対象電圧に対応した3ステートアナログスイッチ7以外の他の3ステートアナログスイッチ8, 9, 10, 35, 36を制御するための指令を切換ロジック37に出力することにより、各基準電圧 V_{min} , V_L , V_C , V_R , V_{max} のいずれか一つのみを順次TAD70へ入力させる。

【0122】

そして、各基準電圧に対するTAD出力がそれぞれレジスタ41内の対応する記憶部に記憶されると、補正式設定部49は、これら各記憶部20, 21, 22, 46, 47にそれぞれ記憶された基準TAD出力 MIN , L , C , R , MAX を取り込んで上記式(10)で表される直線補正式を設定する。

【0123】

直線補正式の設定後は、参照電圧選択部43からの指令によりA/D変換対象電圧に対応した3ステートアナログスイッチ7のみが有効とされ、以後再び直線補正式を設定し直すまでの一定期間はその状態が継続される。この間の入力電圧

に対する実TAD出力は、レジスタ41内の信号出力部19に一時記憶され、記憶された実TAD出力が補正演算部48にて直線補正される。補正演算部48による直線補正は、補正式設定部49にて設定された直線補正式、つまり上記式(10)に従って行われ、実TAD出力(X)が補正值Hに補正される。

【0124】

図8に、本実施形態(4等分割)の直線補正を行った場合のTAD出力特性の一例を示す。図示の如く、直線補正を行うことにより理想A/D直線とほぼ重なった状態となっており、本実施形態の直線補正効果が明確に表された結果となっている。また、より詳細には、第1実施形態のように入力電圧範囲を2等分割した場合に比べて、4等分割した場合の方がより非直線性誤差が低減されている(図11参照)。

【0125】

ここまでの説明は、図6に示したように入力電圧範囲を4等分割して各領域毎に直線補正式を設定することを前提として説明したが、本実施形態の補正機能付A/D変換システム30は、入力電圧範囲の分割数を2等分割又は4等分割のいずれかに選択できるよう構成されている。

【0126】

具体的には、外部のCPU38から補正部31内の分割数選択レジスタ44へ、領域分割数として2等分割又は4等分割のいずれかの選択値を書き込む。そして、この書き込まれた選択値に基づいて、参照電圧選択部43、レジスタ41及び補正ロジック部42がそれぞれ動作することになる。ここで、4等分割が選択された(書き込まれた)場合は、上記説明した通りの動作が行われることになる。

【0127】

一方、2等分割が選択された場合、参照電圧選択部43は、基準電圧入力部32のうち、最小電圧 V_{min} と中心電圧 V_c と最大電圧 V_{max} のみを基準電圧として順次TAD70へ入力させる指令を出力する。レジスタ41も、これら3つの基準電圧 V_{min} 、 V_c 、 V_{max} に対するTAD出力を記憶するよう動作し、第1参照電圧記憶部46及び第2参照電圧記憶部47は実質的に動作しない。

状態となる。そして補正ロジック 49 内の補正式設定部 49 も、これら 3 つの基準 TAD 出力 MIN, C, MAX を取り込んで、第 1 実施形態で説明した式 (9) の直線補正式を設定する。これにより、補正演算部 48 は上記式 (9) の直線補正式による直線補正演算を実行することになる。

【0128】

つまり、CPU 38 から分割領域数として 2 等分割を選択した場合、図 5 に示す補正機能付 A/D 変換システム 30 は、実質的に図 1 に示した第 1 実施形態の補正機能付 A/D 変換システム 1 として動作・機能することになる。

図 7 に、CPU 38 が実行する領域分割数設定処理のフローチャートを示す。本実施形態では、CPU 38 が図示しない ROM から領域分割数設定処理プログラムを読み出し、このプログラムに従って処理を実行する。この領域分割数設定処理は、本 A/D 変換システムの電源投入後、継続して行われるものである。

【0129】

この処理が開始されると、まずステップ (以下「S」と略す) 110 にて、A/D 変換未使用か否か、即ち、実際の A/D 変換対象電圧に対する A/D 変換が行われているか否かを判断する。このとき、A/D 変換が実際に行われて TAD 70 からの実 TAD 出力がある間は、否定判定されてこの S 110 を繰り返すことになるが、A/D 変換が行われていなければ (つまり未使用状態であれば)、S 120 に進み、一定時間経過したか否かが判断される。ここでは、S 140 で許可信号を出力した後の経過時間について判断される。

【0130】

この「一定時間」は適宜設定できるが、例えば TAD 70 が設置される環境において予め予想される温度変化状況を考慮し、予想される温度変動より短い周期とするのが好ましい。

このとき、S 140 の許可信号出力からまだ一定時間経過していなければ、再び S 110 に戻ることになるが、一定時間経過した場合は、S 130 に進み、分割数選択レジスタ 44 へ領域分割数 (2 等分割又は 4 等分割) を出力する。そして、続く S 140 にて切換ロジック 37 へ許可信号を出力し、再び S 110 へ戻る。なお、領域分割数は、ユーザ等によって手動 (手入力等) によって予め設定

・選択できるようになっており、CPU38はこの設定情報を元にしてS130の処理を実行する。

【0131】

切換ロジック37は、CPU38からの許可信号がない間は、いずれのアナログスイッチも無効としてTAD70への入力をしないようにするが、許可信号が入力されたときは、参照電圧選択部43からの指令に従って、いずれかの3ステートアナログスイッチを有効にする動作を行うことになる。

【0132】

そして既述のように、参照電圧選択部43は、TAD70への入力を有効とした基準電圧に対するTAD出力がレジスタ41へ記憶されたのを確認して、別の基準電圧のTAD70への入力を有効化する、という動作を各基準電圧毎に順次行って、必要となる基準TAD出力（例えば2等分割の場合はMIN, C, MAX）をレジスタ41に記憶させる。

【0133】

尚、本実施形態では2等分割又は4等分割のいずれかを選択できるものとしたが、これはほんの一例であり、更に多種類の分割数の中から選択できるようにしてもよい。

以上説明した本実施形態の補正機能付A/D変換システム30によれば、入力電圧範囲を4等分割し、各領域毎にTAD出力特性曲線を直線近似して直線補正式を設定しているため、第1実施形態で説明した2等分割の場合に比べて非直線性誤差をより低減できる（図11参照）。但し、分割数を多くした分、本システムを構成する各回路は複雑化することになる。そのため、領域分割数の設定は、回路構成と補正精度との両面のバランスを考慮して適宜決めるとよい。

【0134】

また、本実施形態では、分割数選択レジスタを備えることにより、CPU38からの制御信号によって領域分割数を選択可能に構成されている。そのため、非直線性補正の精度を変換することが可能になる。

尚、本実施形態において、CPU38は本発明の分割数設定手段に相当する。また、図7の領域分割数設定処理におけるS130の処理は、本発明の分割数設

定手段が実行する処理に相当する。

【0135】

[第3実施形態]

上記第1及び第2実施形態では、TAD出力特性曲線を各領域毎に直線近似し、その近似直線を理想A/D直線に変換する変換式を直線補正式とするものであったが、本例では、直線近似するものではなく、まずTAD出力特性全体を2次曲線に近似し、その近似した2次曲線（近似曲線）を理想A/D直線に変換する変換式を直線補正式とするものである。

【0136】

図9に、本実施形態の補正機能付A/D変換システムの概略構成を示す。図9に示す如く、本実施形態の補正機能付A/D変換システム60は、図1で説明した第1実施形態の補正機能付A/D変換システム1と比較して、補正ロジック62の構成が異なることと、クロック発生部15、レジスタ16、参照電圧選択部18及び補正ロジック部62に加えて、TAD70と切換ロジック11も同じFPGA内に構成されて一つの補正機能付A/D変換装置61を構成していることを除いて、第1実施形態の補正機能付A/D変換システム1と同じである。そのため、図1と同じ構成要素には図1と同じ符号を付し、その説明を省略する。そして、以下、補正ロジック部62における直線補正式の設定について詳述する。

【0137】

図10は、本実施形態のTAD出力特性を示すグラフである。本実施形態でも、第1実施形態と同様、まず、入力電圧範囲内の任意の3つの電圧V1、V2、V3を基準電圧としてそれぞれTAD出力D1、D2、D3を得て、レジスタ16に記憶する。つまり、TAD出力特性曲線上の3つの座標点に関する情報を取得することになる。

【0138】

本実施形態の基準電圧V1、V2、V3はそれぞれ、第1実施形態の基準電圧Vmin、Vc、Vmaxと同じである。従って、これら各基準電圧に対するTAD出力D1、D2、D3も、第1実施形態の各基準TAD出力と同じくMIN、C、MAXである。

【0139】

近似式導出部 68 は、これら 3 つの座標点の情報に基づいて、以下に説明するように TAD 出力特性曲線を 2 次曲線（2 次多項式で表される曲線）に近似する。本例では、ラグランジュ補間公式により、上記 3 つの座標点を通る近似曲線（2 次多項式）を導出する。

【0140】

即ち、3 つの基準電圧 V_1 , V_2 , V_3 に対する TAD 出力がそれぞれ D_1 , D_2 , D_3 であることから、この 3 つの座標点を通る 2 次曲線は、下記式 (11) で表される。

【0141】

【数 10】

$$D(V_i) = b_2 V_i^2 + b_1 V_i + b_0 \dots (11)$$

但し、

$$\begin{aligned} b_2 &= -\frac{1}{(V_1 - V_2)(V_3 - V_1)} D_1 - \frac{1}{(V_1 - V_2)(V_2 - V_3)} D_2 - \frac{1}{(V_2 - V_3)(V_3 - V_1)} D_3 \\ b_1 &= \frac{V_2 + V_3}{(V_1 - V_2)(V_3 - V_1)} D_1 + \frac{V_3 + V_1}{(V_1 - V_2)(V_2 - V_3)} D_2 + \frac{V_1 + V_2}{(V_2 - V_3)(V_3 - V_1)} D_3 \\ b_0 &= -\frac{V_2 V_3}{(V_1 - V_2)(V_3 - V_1)} D_1 - \frac{V_3 V_1}{(V_1 - V_2)(V_2 - V_3)} D_2 - \frac{V_1 V_2}{(V_2 - V_3)(V_3 - V_1)} D_3 \end{aligned}$$

【0142】

一方、本実施形態でも、最小電圧 V_1 ($=V_{min}$) と最大電圧 V_3 ($=V_{max}$) に対する TAD 出力を示す座標点を結ぶ直線を理想 A/D 直線とする。従って、これら 2 つの座標点の情報に基づき、理想 A/D 直線を表す一次関数式は、次式 (12) のように表される。この理想 A/D 直線を表す式 (12) は、理想 A/D 関数式導出部 69 にて導出される。

【0143】

【数 1 1】

$$D_{id}(V_i) = a_1 V_i + a_0 \quad \cdots (12)$$

但し、

$$a_1 = \frac{D_3 - D_1}{V_3 - V_1}, \quad a_0 = D_1 - \frac{D_3 - D_1}{V_3 - V_1} V_1$$

【0 1 4 4】

つまり、近似式導出部 6 8 では、実質的に上記式 (1 1) における各係数値 b_0 , b_1 , b_2 が導出され、理想 A/D 関数式導出部 6 9 では実質的に上記式 (1 2) における各係数値 a_1 , a_0 が導出されることになる。そして、補正式設定部 6 7 は、上記導出された各式 (1 1), (1 2) に基づいて、図 1 9 及び式 (3) ~ (5) で説明した方法により、下記式 (1 3) で表される直線補正式を設定する。

【0 1 4 5】

【数 1 2】

$$\text{補正值 } H = \frac{a_1}{2b_2} \left(-b_1 \pm \sqrt{b_1^2 - 4(b_0 - X)b_2} \right) + a_0 \quad \cdots (13)$$

【0 1 4 6】

そして、補正演算部 6 6 は、補正式設定部 6 7 にて設定された上記直線補正式 (1 3) に従い、実 TAD 出力を直線補正して出力する。

以上説明したように、本実施形態では、まず TAD 出力特性曲線を 2 次曲線 (2 次多項式) にて近似し、その近似曲線を理想 A/D 直線に変換する変換式 (直線補正式) を得るようにしている。図 1 1 に、本実施形態の方法 (2 次曲線近似) により直線補正を行った場合と、第 1 実施形態の方法 (2 等分割直線近似) により直線補正を行った場合と、第 2 実施形態の方法 (4 等分割直線近似) により直線補正を行った場合との、非直線性誤差の一例を示す。

【0 1 4 7】

図示の如く、2 等分割直線近似に基づく直線補正に比べて 4 等分割直線近似に基づく直線補正の方が非直線性誤差が少なくなっているが、更に、本実施形態の

2次曲線近似に基づく直線補正の方がより非直線性誤差が低減されている。

従って、本実施形態の補正機能付A/D変換システム60によれば、上記第1及び第2実施形態と同様、温度変化やサンプリングクロックCKの変化によらず、その時々温度・サンプリングクロックCKに応じた適切な直線補正式によって精度良く直線補正することが可能となる。

【0148】

また、上記第1及び第2実施形態のようにTAD出力特性曲線を直線近似するのは異なり、実際にA/D変換することにより得られたM個（本例では3個）の座標点に従って入出力特性曲線を2次多項式で近似し、それを基に直線補正式を導出しているため、上記各実施形態に比べて比較的高精度な直線補正が可能となる。

【0149】

尚、本実施形態では、TAD出力特性曲線を、3個の座標点に基づいて得られる2次曲線で近似したが、これに限らないことは言うまでもない。但し、実際のTAD出力特性曲線は2次曲線で近似すればほぼ十分なレベルであり、しかも2次曲線（2次多項式）を得るために必要な座標点は3個で十分である。そのため、本実施形態のように3個の座標点に基づいて2次曲線に近似すれば、直線補正の精度を維持しつつ直線補正を実現するための回路構成等を簡易的にすることが可能となる。

【0150】

ここで、本実施形態において、近似式導出部68は本発明の多項式導出手段に相当し、理想A/D関数式導出部69は本発明の理想A/D関数式設定手段に相当する。

〔第4実施形態〕

上記第3実施形態では、近似式導出部68が、式(11)で表される2次多項式を導出した。即ち、この式(11)は、TAD出力を入力電圧の二次関数で表したものである。これにより、補正式設定部67では式(13)で表される直線補正式、つまり開閉演算を含む補正式が設定された。このように、四則演算以外の演算を行うようにすると、補正演算部66の構成が複雑になってしまう。

【0151】

そこで、本実施形態では、第3実施形態における近似曲線を表す2次多項式を、式(11)に代えて、下記式(14)で表される2次多項式とする。

【0152】

【数13】

$$V(D_i) = c_2 D_i^2 + c_1 D_i + c_0 \quad \cdots (14)$$

【0153】

つまり、入力電圧 V_i をTAD出力の二次関数で表すようにしたものである。2次多項式を上記式(14)のように導出することにより、補正式設定部67では、この式(14)と理想A/D直線を表す式(12)に基づいて、下記式(15)で表される直線補正式を設定する。

【0154】

【数14】

$$\text{補正值} H = a_1 (c_2 X^2 + c_1 X + c_0) + a_0 \quad \cdots (15)$$

【0155】

上記式(15)は、第3実施形態の直線補正式のような開閉演算を含まず、単なる四則演算のみで表現されたものである。尚、近似式導出部68及び補正式設定部67以外の構成は第3実施形態と全く同様である。

従って、本実施形態によれば、近似曲線を表す2次多項式を式(14)のように表すことによって、式(15)のように単なる四則演算のみで実現可能な直線補正式を得ることができるため、直線補正実現のための具体的回路構成をより簡易的に実現できる。

【0156】

また、第3実施形態の直線補正式(13)は複号を含んでいるため、どちらの符号をとるか判断する必要がある。TAD出力特性が予め上に凸か下に凸かがわかっていれば問題ないが、そうでない場合、符号の選び方によって誤った補正演算を行うことになる。これに対して本実施形態の直線補正式(15)は、複号を

含んでいないため、上記問題が生じるおそれがなく、より信頼性の高い補正機能付 A/D 変換システムの提供が可能となる。

【0 1 5 7】

[第 5 実施形態]

上記第 1 実施形態では、理想 A/D 直線として、入力電圧範囲の最小電圧に対する TAD 出力及び最大電圧に対する TAD 出力を表す座標点を結ぶ直線としたが、本実施形態では、システム全体の構成は第 1 実施形態と同様のものであり、唯一、理想 A/D 直線については、第 1 実施形態とは異なり、入力電圧範囲内で TAD 出力特性曲線とは交わらない理想 A/D 直線を設定する例について説明する。

【0 1 5 8】

即ち、図 1 2 に示すように、TAD 出力特性曲線の TAD 出力範囲が MIN ~ MAX の範囲にあるのに対し、理想 A/D 直線を、これより低いレベルとする。本実施形態では、具体的には、最小電圧 V_{min} に対する TAD 出力が 0、最大電圧 V_{max} に対する TAD 出力が 256 となるような理想 A/D 直線を設定する。

【0 1 5 9】

つまり、直線補正後の最終的な A/D 変換結果を、0 ~ 256 の範囲内にすることにより、上記各実施形態の補正機能付 A/D 変換システムを 8 ビット A/D 変換装置として利用しようとするものである。この場合、領域 1 及び領域 2 ではそれぞれ、下表 3 に示すような近似直線から理想 A/D 直線への変換が行われる。

【0 1 6 0】

【表 3】

	近似直線	理想8ビット A/D直線
領域 1	MIN	0
	C	128 (=256/2)
領域 2	C	128
	MAX	256

【0161】

よって、上表3に示した各領域毎の各直線両端の値を既述の式(8)に代入することにより、次式(16)に示すような直線補正式が得られる。

【0162】

【数15】

〈領域1〉 $\text{MIN} \leq X \leq C$ の場合

$$\text{補正值} H = (X - \text{MIN}) * \frac{128}{(C - \text{MIN})}$$

〈領域2〉 $C < X \leq \text{MAX}$ の場合

$$\text{補正值} H = (X - C) * \frac{128}{(\text{MAX} - C)} + 128$$

(16)

【0163】

従って、本実施形態によれば、TAD70からの出力データ幅に関係なく、結果的に8ビットA/D変換装置として利用することができるため、より応用範囲の広いA/D変換装置の提供が可能となる。

尚、上記例では理想A/D直線の最小値を0、最大値を256としたが、これに限ることなく、最大値と最小値との差が8ビット幅であればどのような値に設定してもよい。また、上記例では8ビット出力を例に挙げて説明したが、8ビット出力はあくまでも一例であって、他のビット数であっても同様の方法で直線補正式を得ることができる。例えば10ビット出力としたい場合は、理想A/D直線の最小値と最大値との差が10ビット(1024)となるような理想A/D直

線を設定すればよい。

【0164】

以上、本発明の実施形態について説明したが、本発明の実施の形態は上記実施形態に何ら限定されるものではなく、本発明の技術的範囲に属する限り種々の形態を採り得ることはいうまでもない。

例えば、上記第1及び第2実施形態では、各領域において近似曲線を全て、該領域におけるTAD出力特性曲線の両端を結ぶ直線としたが、TAD70では一般に、入力電圧範囲の端部に近いほどA/D変換精度が悪くなる傾向にある。そのため、分割した領域のうち、特に入力電圧範囲の最小値、最大値を含む領域（第1実施形態では領域1と2、第2実施形態では領域1と4）については、入力電圧の最大値（又は最小値）を示す点を結ぶ近似直線とするのではなく、例えば図13に示すように、入力電圧範囲内で入力電圧最大値及び最小値を除く座標点と、隣接する領域との境界部の座標点とを結ぶ直線を近似曲線とするのがよい。

【0165】

つまり、図13の例では、領域1では座標点（ V_a , D_a ）と（ V_c , C ）を結ぶ近似直線とし、領域2では座標点（ V_c , C ）と（ V_b , D_b ）を結ぶ近似直線としている。

そして近似曲線をこのように設定した場合の直線補正式は、式（9）とは異なり、下記式（17）で表せる。

【0166】

【数16】

〈領域1〉 $\text{MIN} \leq X \leq C$ の場合

$$\text{補正值} H = (X - D_a) * \frac{(D_a + D_b)/2 - D_a}{(C - D_a)} + D_a$$

〈領域2〉 $C < X \leq \text{MAX}$ の場合

$$\text{補正值} H = (X - C) * \frac{D_b - (D_a + D_b)/2}{(D_b - C)} + (D_a + D_b)/2$$

(17)

【0167】

そして、図13からも明らかなように、本例では、領域1において入力電圧が V_a より小さい範囲では理想A/D直線よりTAD出力特性の方が小さく、逆に入力電圧が V_a より大きい範囲では理想A/D直線よりTAD出力特性の方が大きくなっている。領域2についても、入力電圧 V_b を境にして同様の傾向を有する。そのため、上記第1実施形態の直線補正では、図11に示したように非直線性誤差が負に偏っていたのに対し、上記式(17)による直線補正後の非直線性誤差は、図14に示す如く、正・負の偏りが軽減され、よって誤差の絶対値も小さくなっている。

【0168】

第2実施形態における4等分割直線近似の場合についても同様であり、領域1と領域4において入力電圧範囲両端以外の座標点を結ぶ直線にて近似することにより、図14に示す如くやはり非直線性誤差の正・負偏りを軽減し、誤差絶対値も小さくすることができる。

【0169】

更に、第3実施形態の場合においても、2次多項式を導出するために入力電圧範囲の両端の座標点を利用したが、両端を除く任意の3点を用いて導出すれば、より精度の高い2次曲線近似が可能となる。

また、上記第1及び第2実施形態ではそれぞれ、2等分割と4等分割を一例として説明したが、分割数は任意に決めることができ、分割数が多いほど非直線性誤差を低減できる。但し分割数が多くなる程、直線補正を実現するための回路構成は複雑化するため、構成の複雑さと補正精度との兼ね合いを考慮して分割数を決めればよい。また、各領域は必ずしも等分割しなくてもよい。

【0170】

ただし、各領域の幅がそれぞれ異なっていたりすると、近似直線から理想A/D直線への変換式が複雑化してしまい、そのために、例えば直線補正にかかる時間が増加したり、或いは直線補正実現のための回路構成が複雑化してしまう。そのため、好ましくは上記第1又は第2実施形態のように、各領域がそれぞれ同じ幅（入力電圧幅）となるよう分割するのがよい。

【0171】

また、上記第1及び第2実施形態で説明した近似直線から理想A/D直線への変換式(直線補正式)(9)、(10)の導出は、第3実施形態で説明した2次曲線から直線への変換式導出方法を利用して導出するようにしてもよい。つまり、近似曲線及び理想A/D直線を共に関数式で表し、両者の関係から例えば式(2)を利用して導出することができる。方法は異なっても、導出される直線補正式は同じものである。

【0172】

更に、上記第1及び第2実施形態では、補正部のみを一つのFPGA内に構成するようにしたが、これに限らず、例えば第3実施形態のように、TAD70や切換ロジックも含めて同一のFPGAにて構成してもよい。また、FPGAはあくまでも一例であり、例えばASICやCPLDなど、種々のICにて実現することも可能である。更にまた、上記第3実施形態の図9に破線で示したように、当該補正機能付A/D変換システム60を一つの半導体集積回路101内に構成(1IC化)してもよく、このようにすれば、当該システム60全体をより小型化・低コスト化することが可能となる。第1実施形態(図1)及び第2実施形態(図5)の各補正機能付A/D変換システム1, 30についても同様であり、当該システム1(又は30)全体を1IC化してもよい。

【0173】

また、上記各実施形態では、TAD70からの出力を直線補正することを例に挙げて説明したが、直線補正対象となるデジタルデータがTAD出力に限らないことはいうまでもなく、TAD以外の、非直線出力特性を有するあらゆるA/D変換装置に対して適用することができる。

【図面の簡単な説明】

【図1】 第1実施形態の補正機能付A/D変換システムの概略構成を示すブロック図である。

【図2】 第1実施形態のTAD出力特性を示すグラフである。

【図3】 近似直線から理想A/D直線への変換原理を説明するための説明図である。

【図4】 第1実施形態の直線補正後のTAD出力特性を示すグラフである。

【図 5】 第 2 実施形態の補正機能付 A/D 変換システムの概略構成を示すブロック図である。

【図 6】 第 2 実施形態の TAD 出力特性を示すグラフである。

【図 7】 第 2 実施形態の領域分割数設定処理を示すフローチャートである。

【図 8】 第 2 実施形態の直線補正後の TAD 出力特性を示すグラフである。

【図 9】 第 3 実施形態の補正機能付 A/D 変換システムの概略構成を示すブロック図である。

【図 10】 第 3 実施形態の TAD 出力特性を示すグラフである。

【図 11】 第 1 ～ 第 3 実施形態における各直線補正後の非直線性誤差を示すグラフである。

【図 12】 第 5 実施形態の TAD 出力特性を示すグラフである。

【図 13】 第 1 実施形態の近似直線設定の他の例を示すグラフである。

【図 14】 入力電圧範囲の両端以外の点を基準電圧とした場合の非直線性誤差を示すグラフである。

【図 15】 入出力特性曲線を領域毎に直線近似する例を示す説明図である。

【図 16】 入出力特性曲線を領域毎に直線近似する例を示す説明図である。

【図 17】 入出力特性曲線を 2 次曲線に近似する例を示す説明図である。

【図 18】 曲線 L 1 上の任意の座標点を別の曲線 L 2 上の座標点に変換する変換式を導出する方法を説明するための説明図である。

【図 19】 2 次曲線 L 3 上の任意の座標点を直線 L 4 上の座標点に変換する変換式を導出する方法を説明するための説明図である。

【図 20】 パルス遅延回路を用いた従来の A/D 変換装置 (TAD) の概略構成を示す説明図である。

【図 21】 TAD による A/D 変換出力特性を示すグラフである。

【符号の説明】

1, 30, 60…補正機能付 A/D 変換システム、2, 32…基準電圧入力部、3, 31…補正部、4…最小電圧生成部、5…中心電圧生成部、6…最大電圧生成部、7～10, 35, 36…3 ステートアナログスイッチ、11, 37…切換ロジック、15…クロック発生部、16, 41…レジスタ、17, 42, 62…

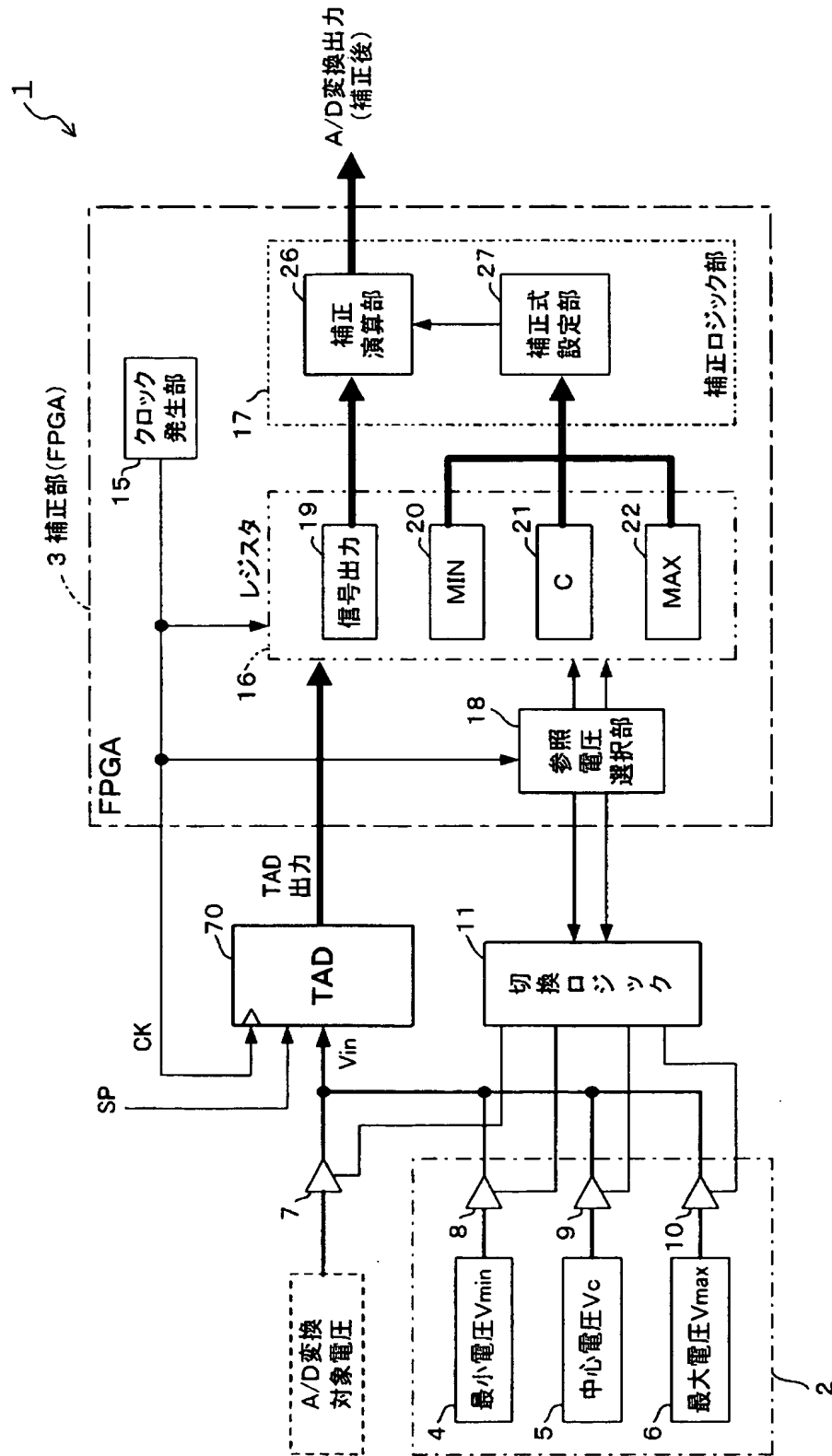
補正ロジック部、18, 43…参照電圧選択部、19…信号出力部、20…最小データ記憶部、21…中心データ記憶部、22…最大データ記憶部、26, 48, 66…補正演算部、27, 49, 67…補正式設定部、33…第1参照電圧生成部、34…第2参照電圧生成部、44…分割数選択レジスタ、46…第1参照電圧記憶部、47…第2参照電圧記憶部、61…補正機能付A/D変換装置、68…近似式導出部、69…理想A/D関数式導出部、70…TAD、71…パルス遅延回路、72…遅延ユニット、73…エンコーダ、74…カウンタ、75, 76…ラッチ、77…減算器、101…半導体集積回路



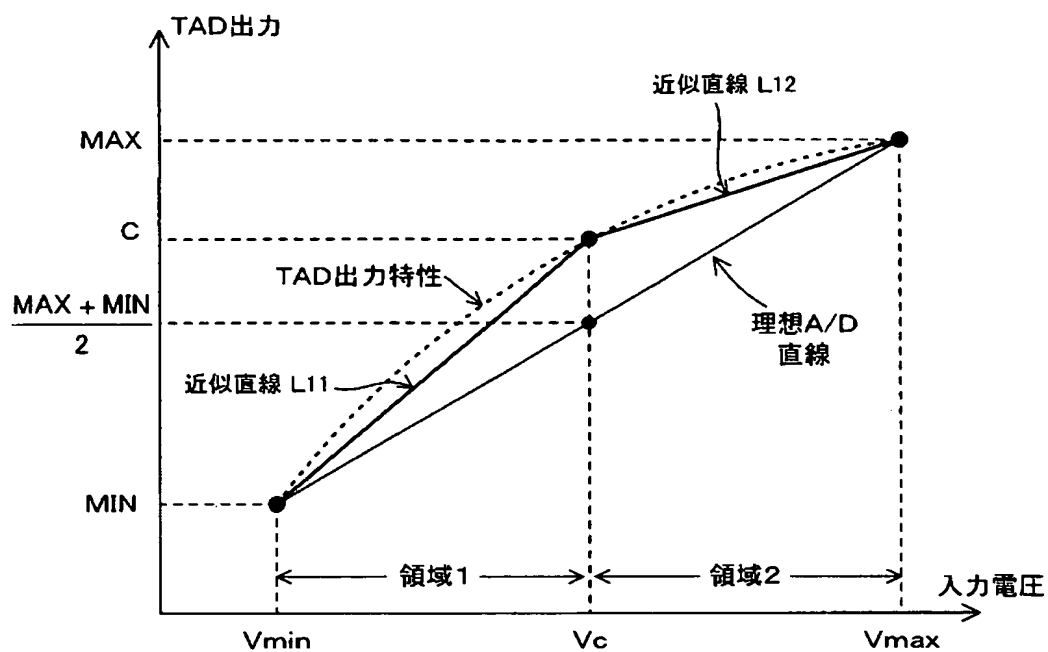
【書類名】

図面

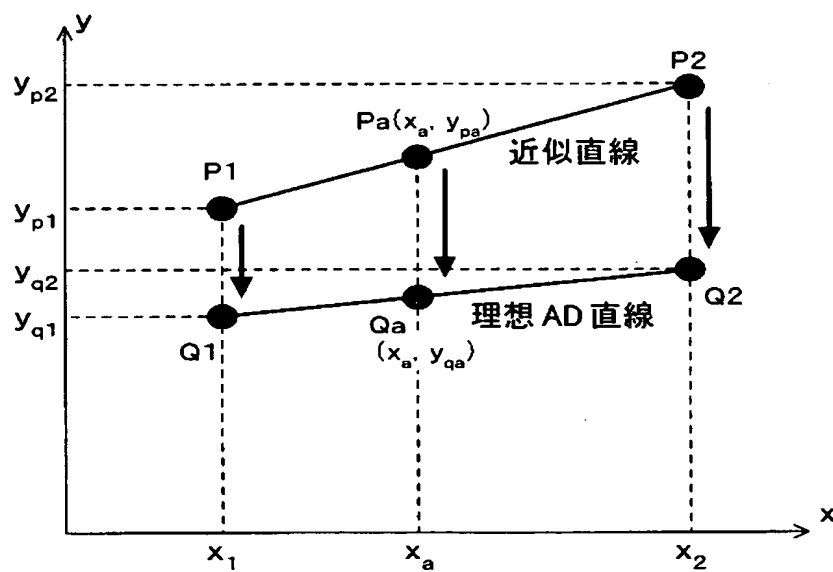
【図 1】



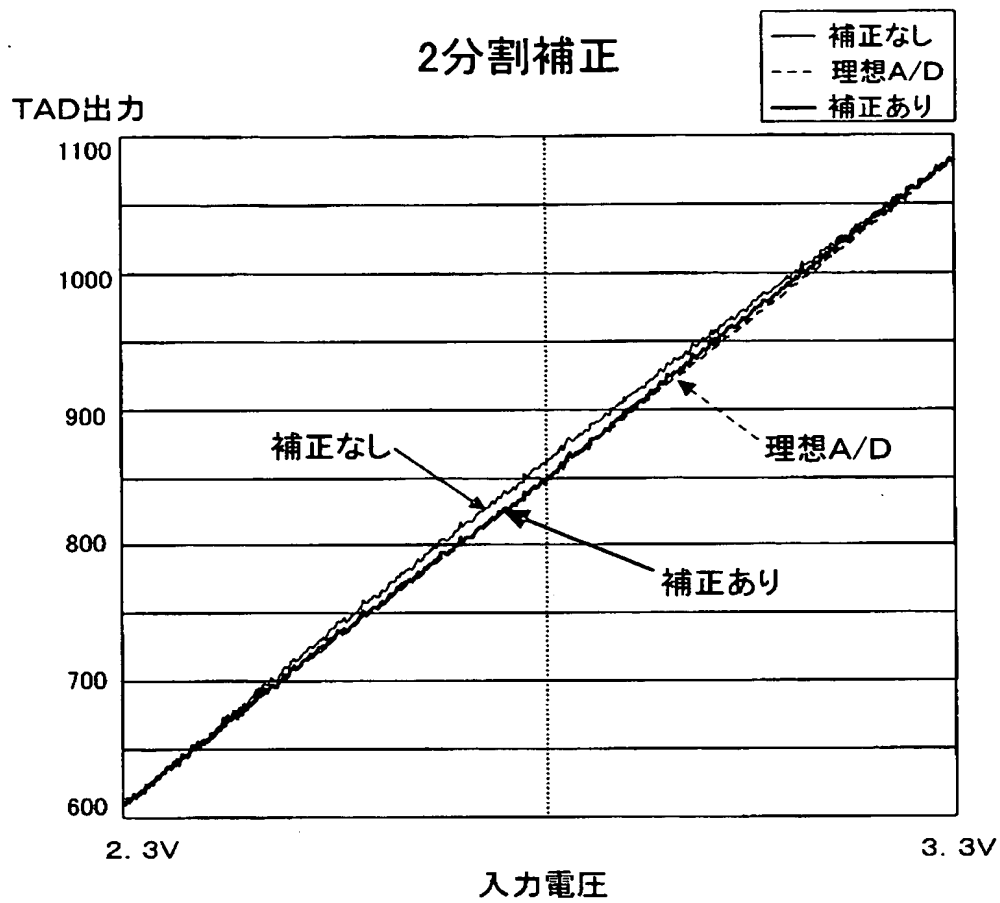
【図 2】



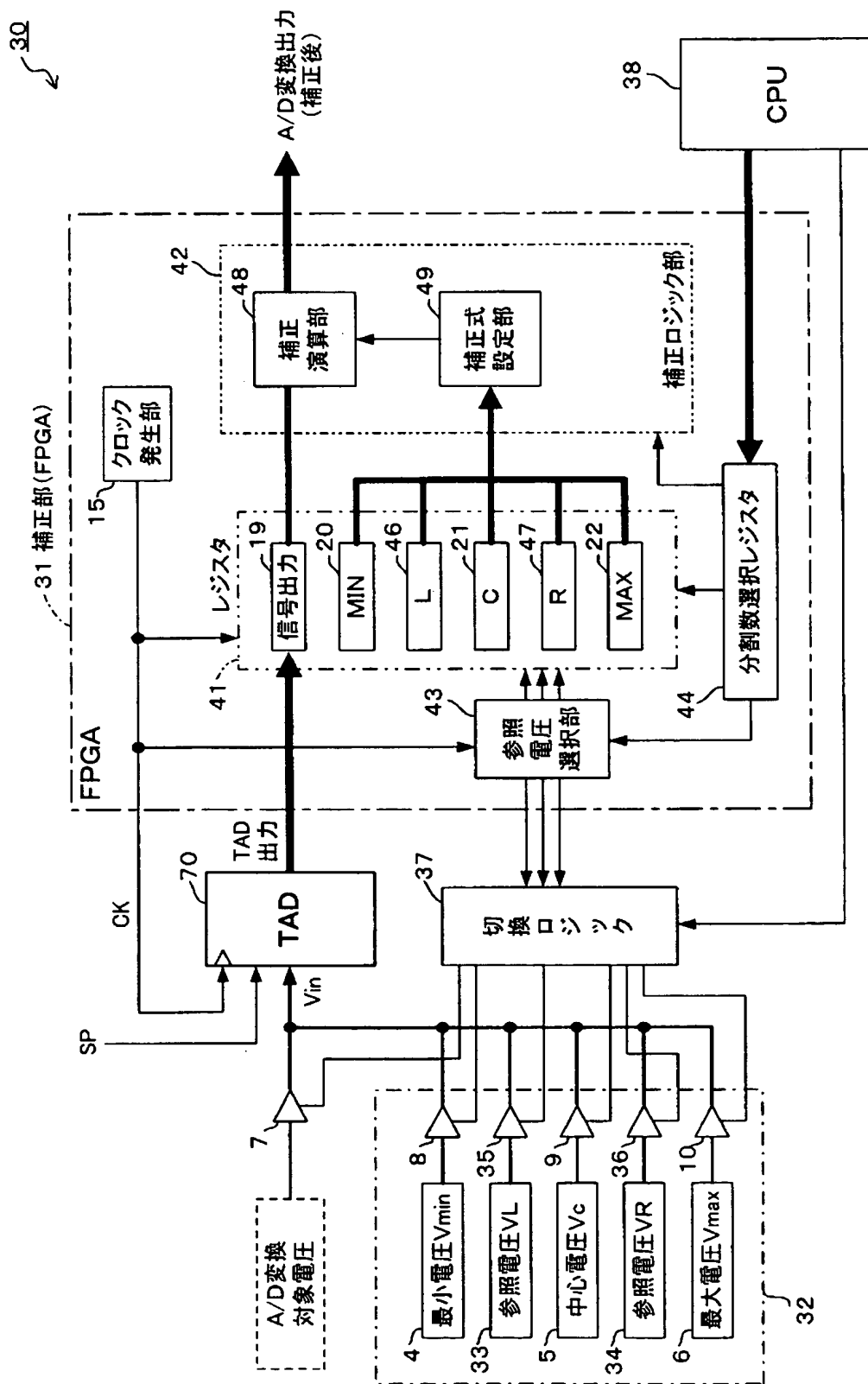
【図 3】



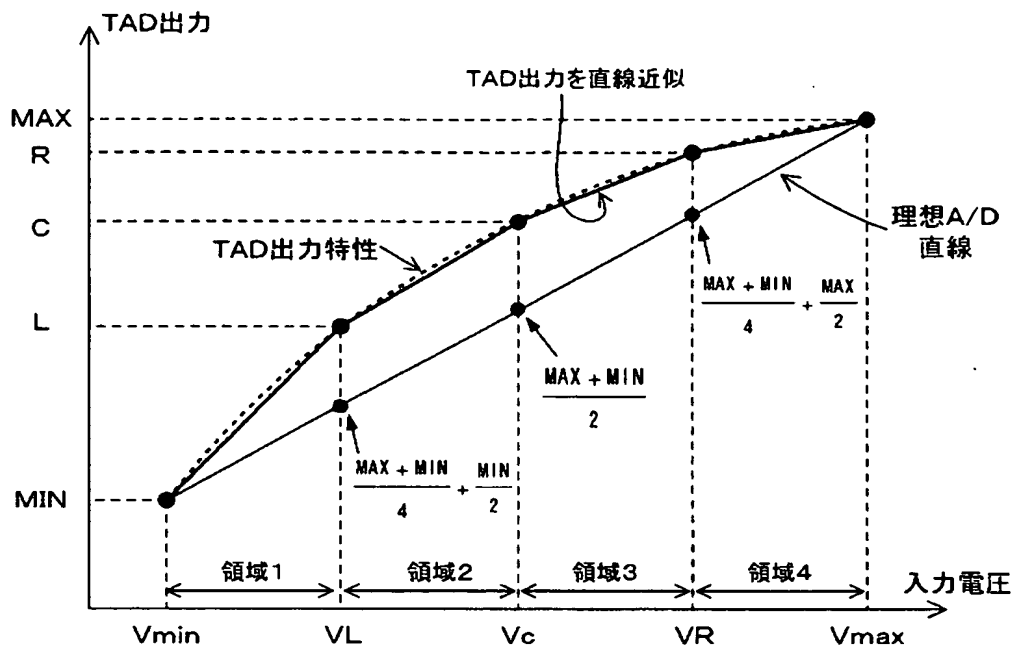
【図 4】



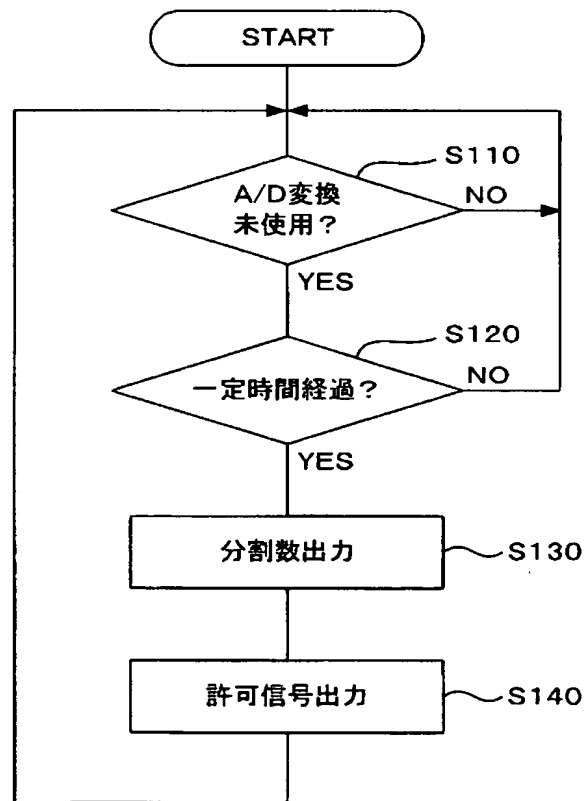
【図 5】



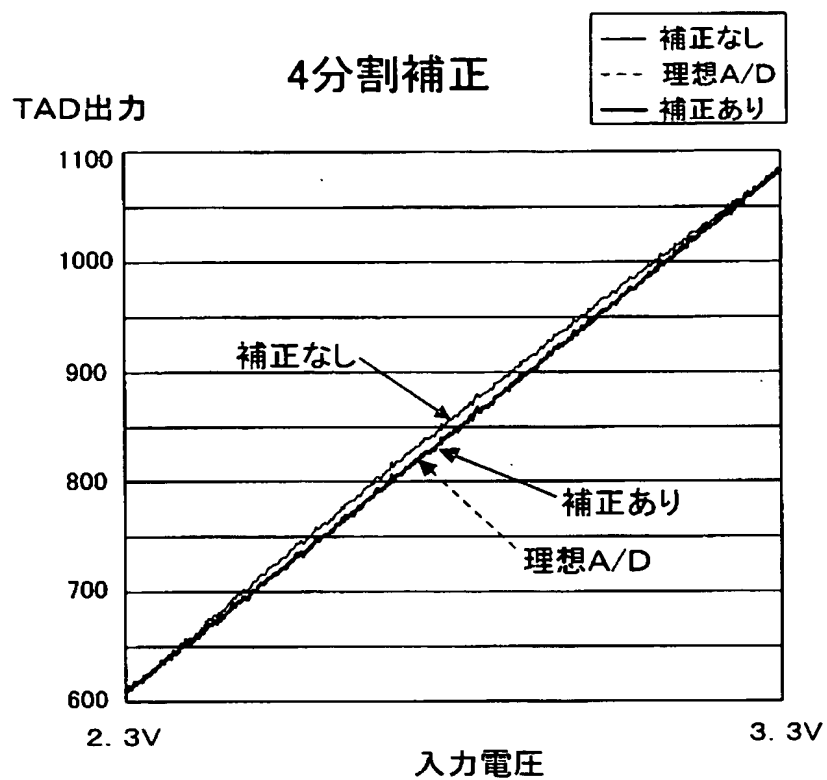
【図 6】



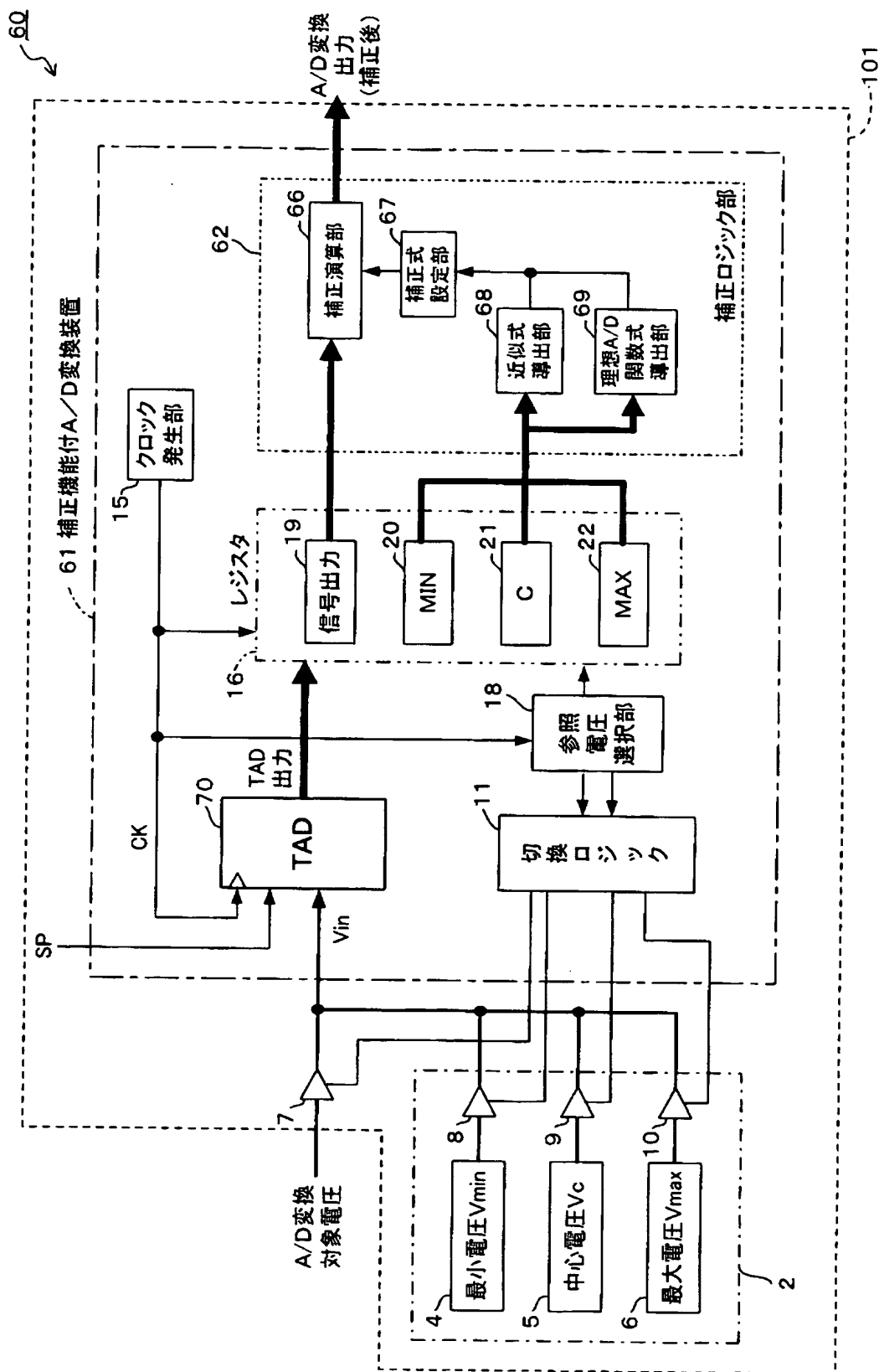
【図 7】



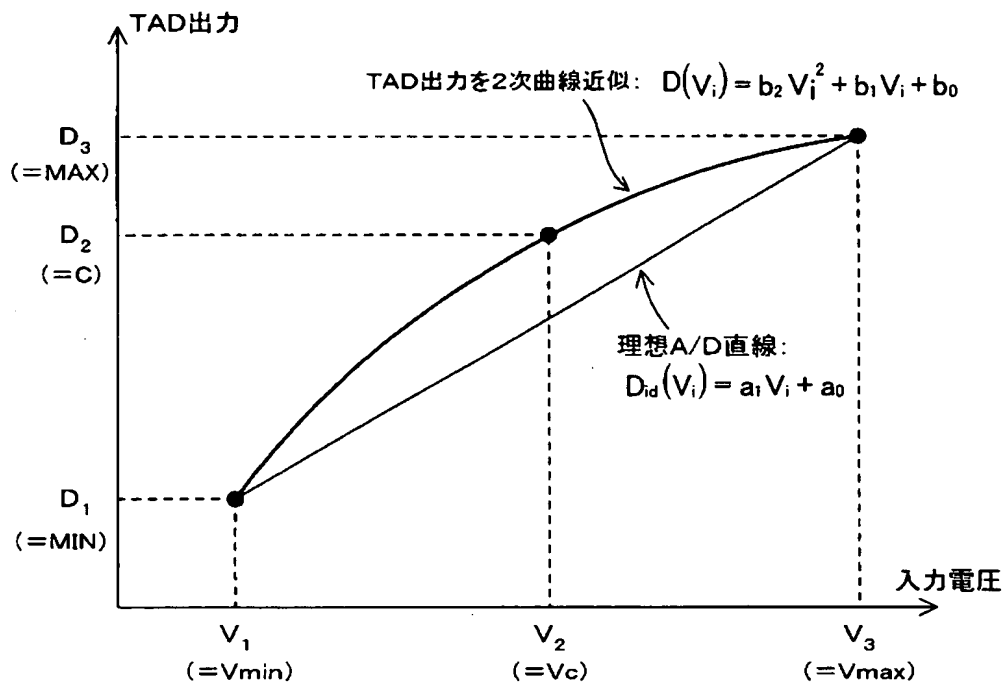
【図 8】



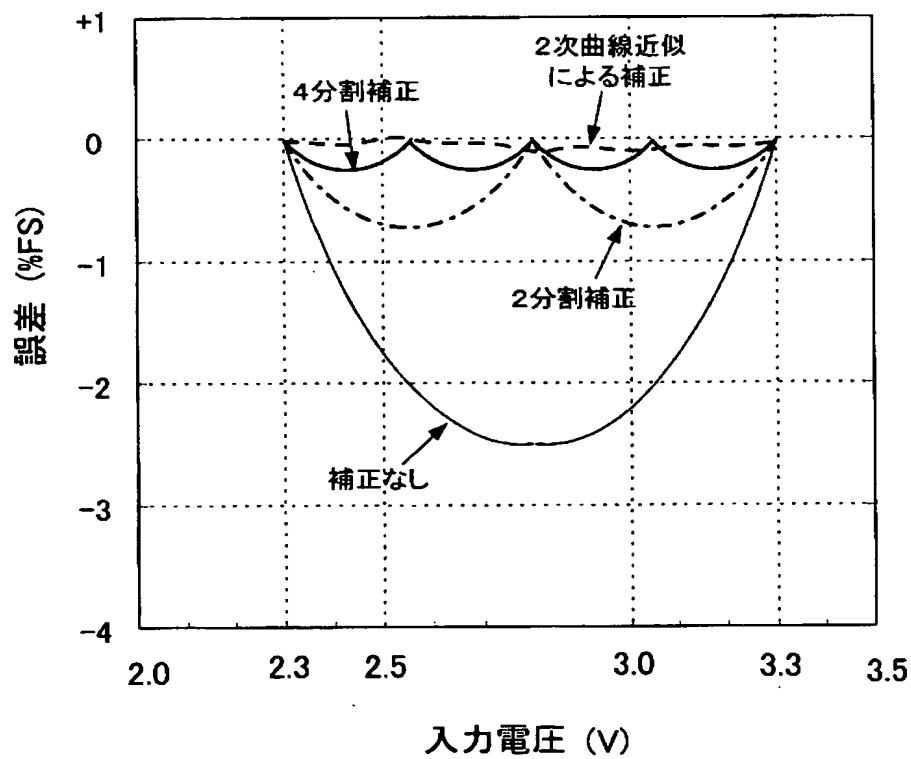
【図 9】



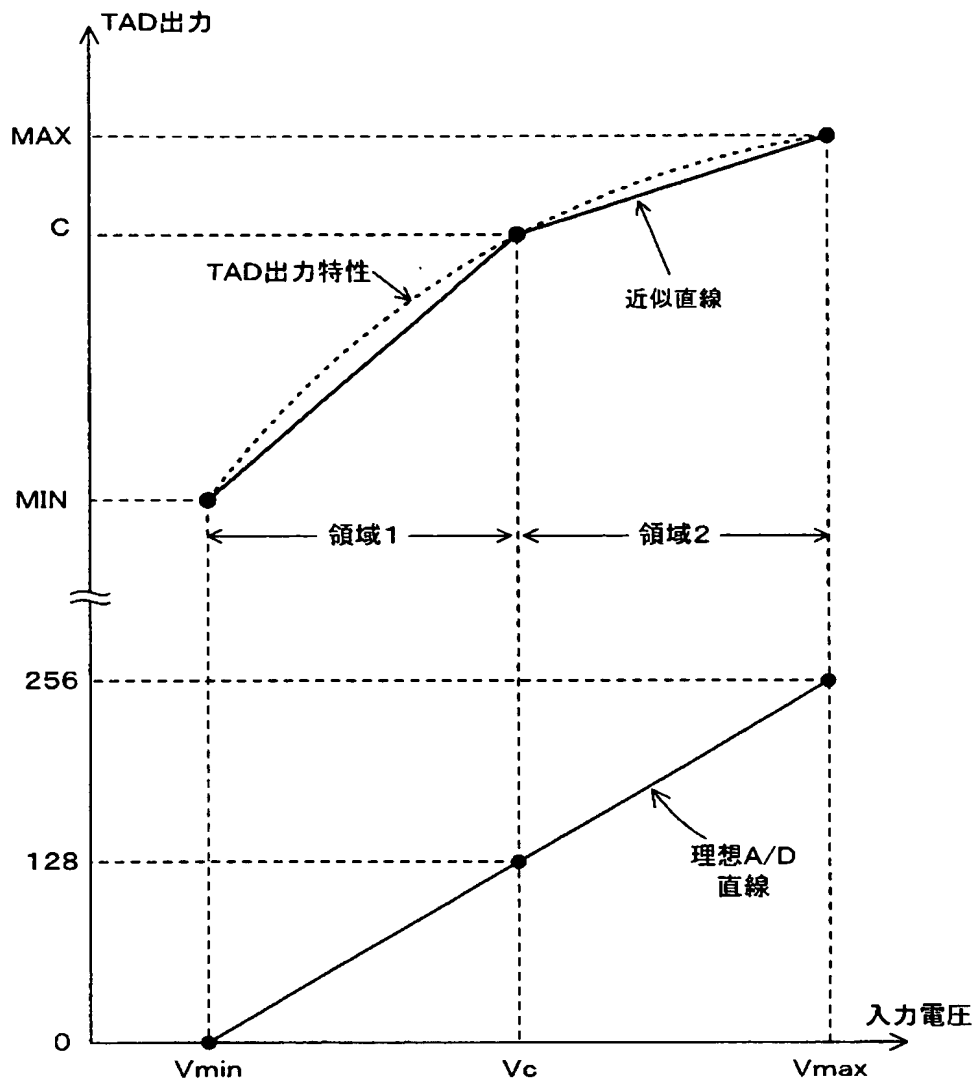
【図 10】



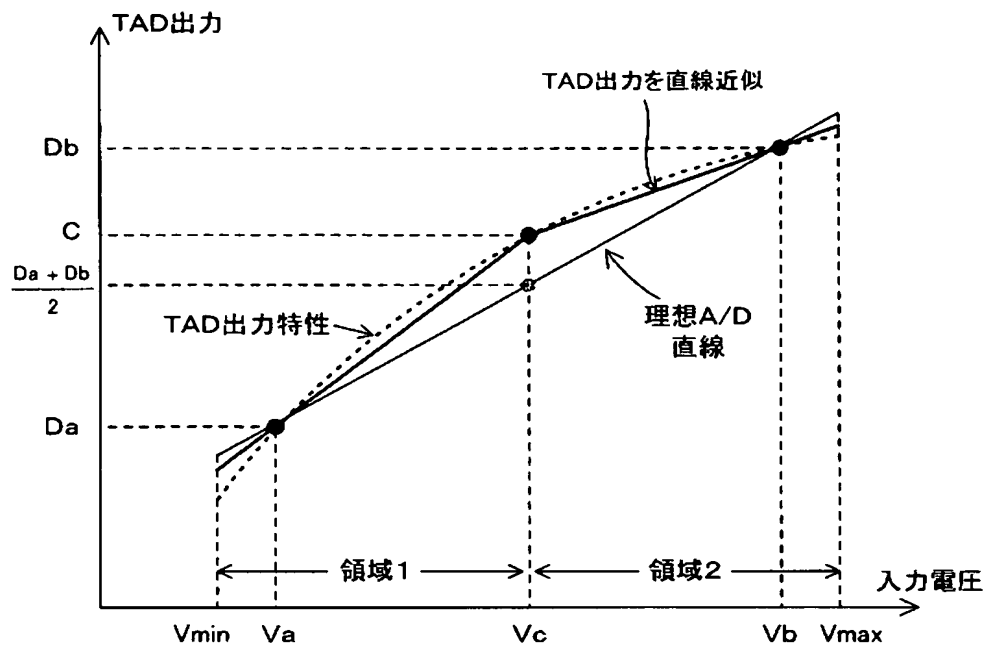
【図 11】



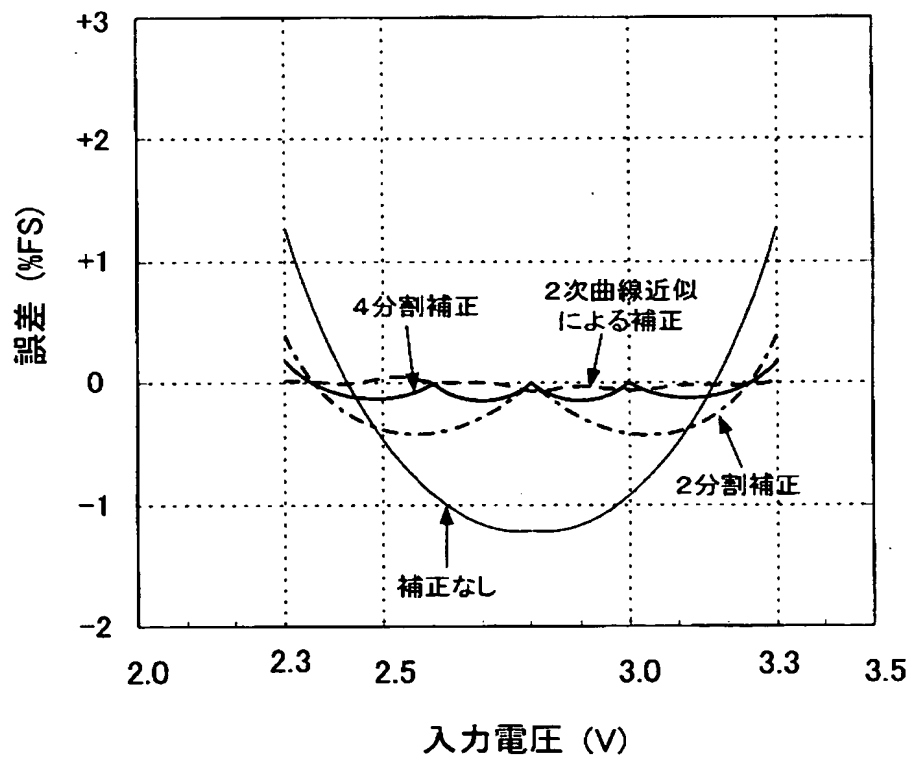
【図 12】



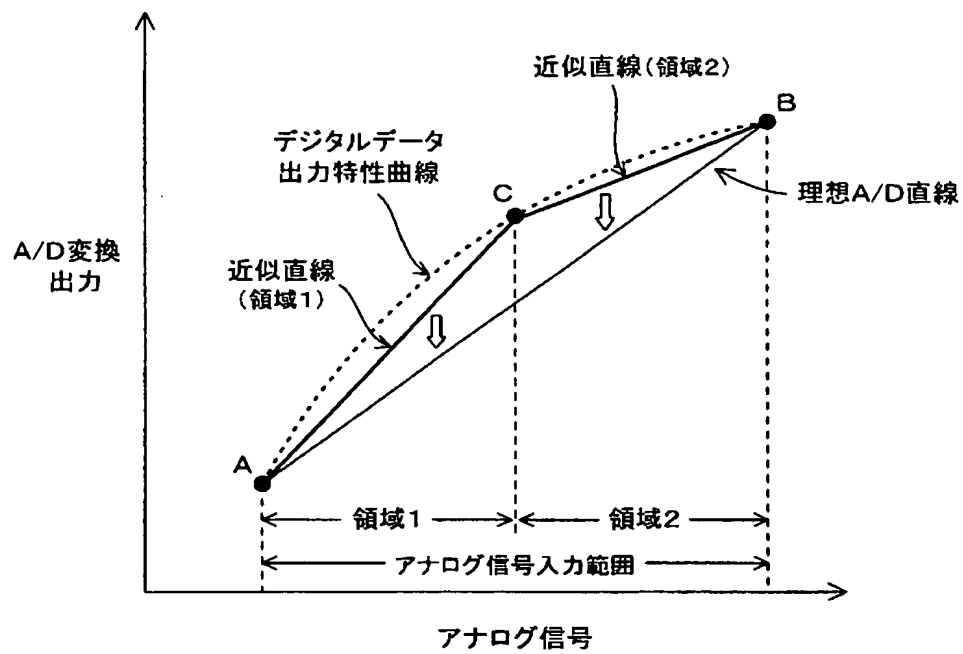
【図 13】



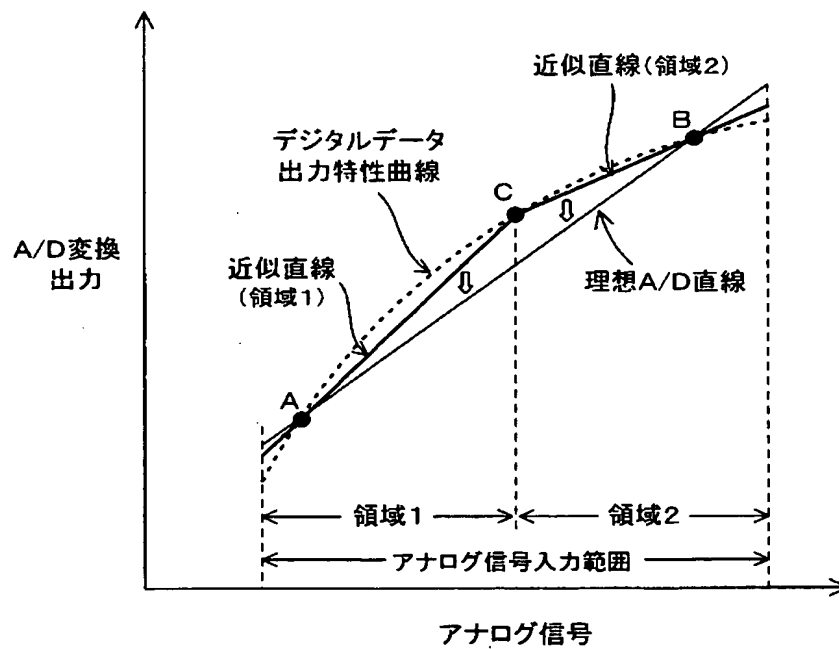
【図 14】



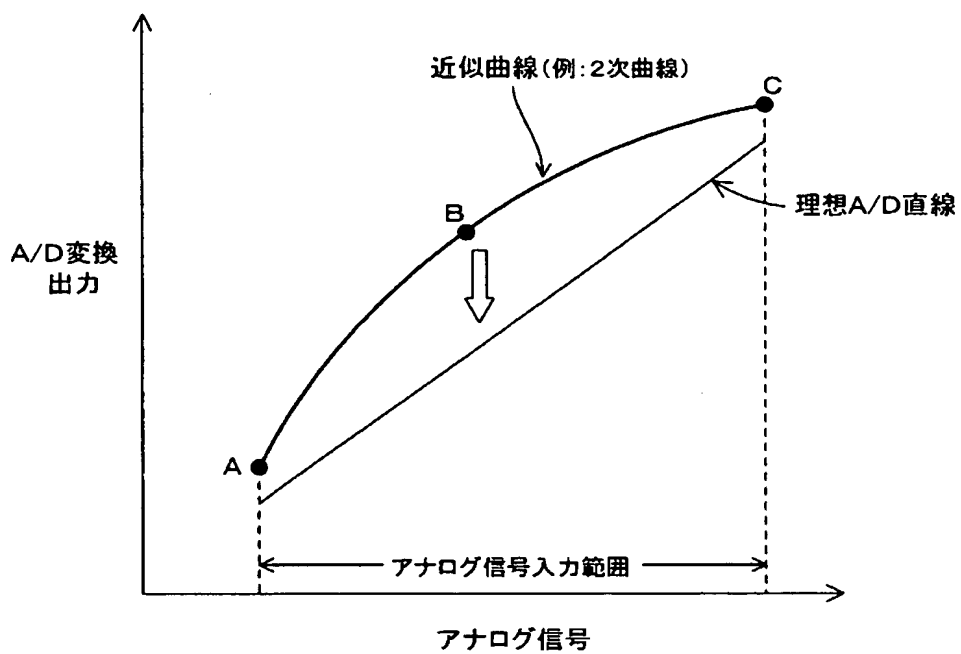
【図15】



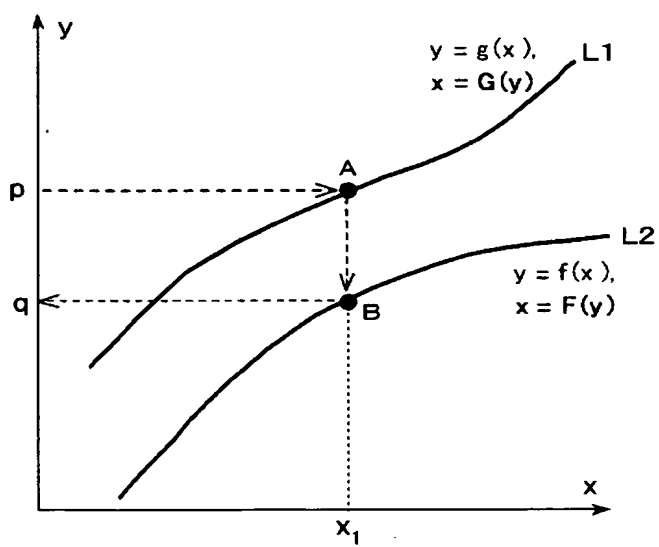
【図16】



【図 17】

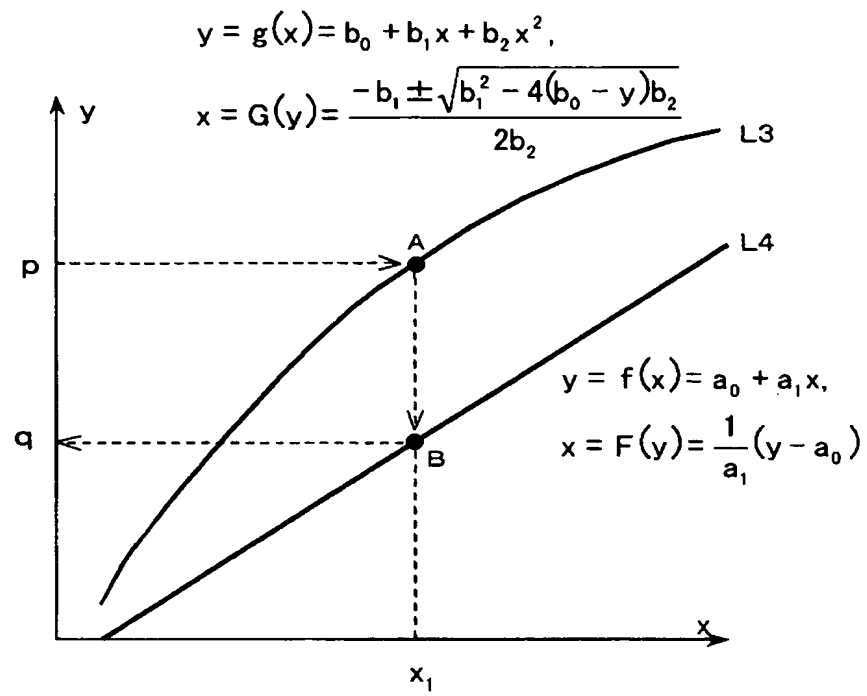


【図 18】

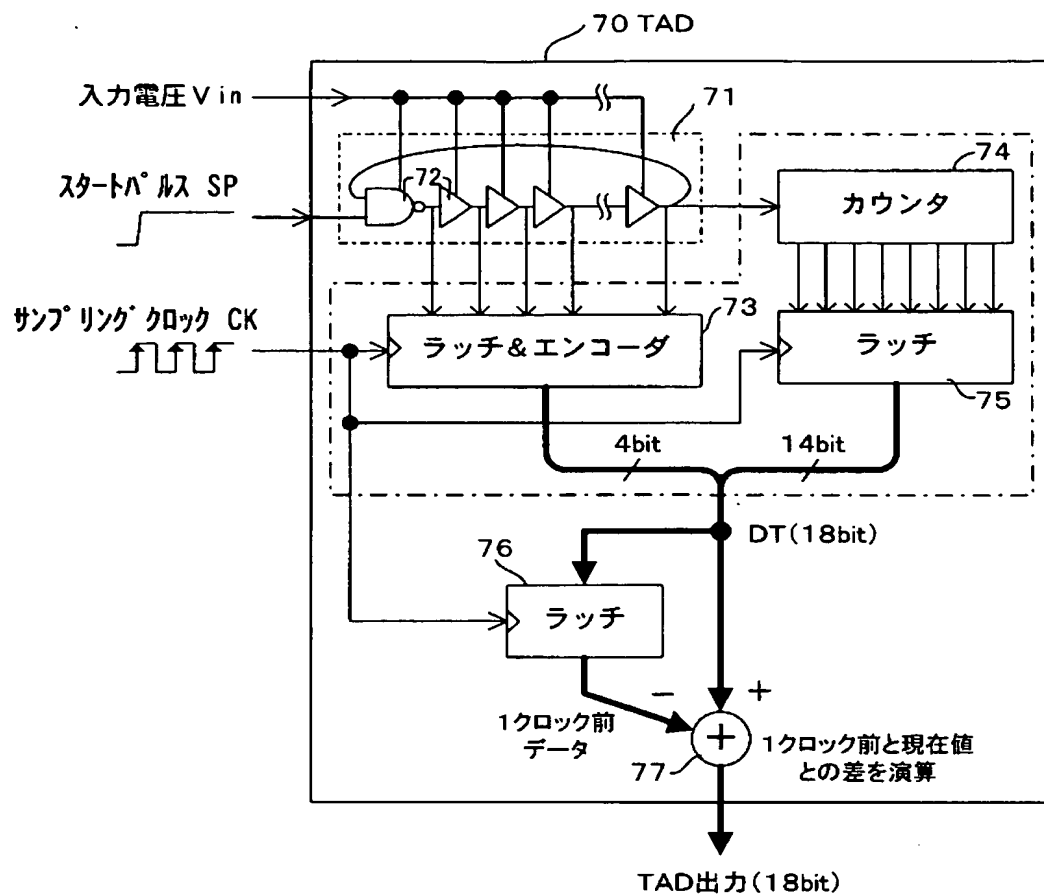




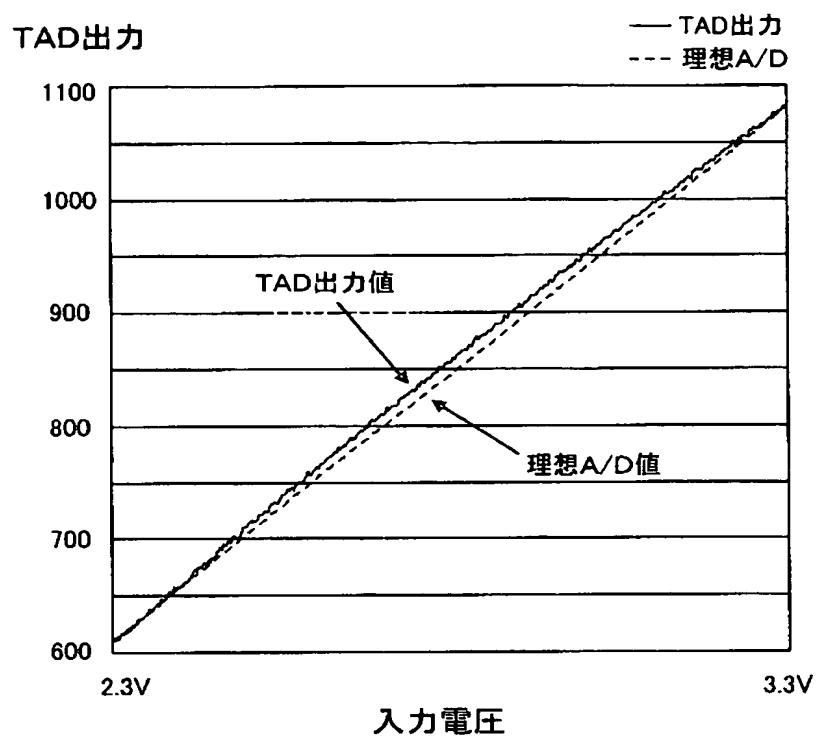
【図 1 9】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 A/D変換出力特性の非直線性を、温度変化を考慮する必要なく低コストで直線補正することを目的とする。

【解決手段】 A/D変換装置(TAD)への入力電圧範囲 $V_{min} \sim V_{max}$ を、中心電圧 V_c を境界にして領域1と領域2に2等分割し、各領域毎に、TAD出力特性曲線の両端を結んでなる近似直線にてTAD出力特性曲線を近似する。領域1においては近似直線L11に、領域2においては近似直線L12に、それぞれ近似する。そして、各近似直線L11, L12上の点を理想A/D直線上の点に変換する変換式を領域毎に導出する。このようにして得られた変換式にてTADからの出力データを変換することにより、非直線性を有するTAD出力特性の直線補正が実現される。しかもこの変換式は、近似直線L11, L12を設定したときの周囲温度が反映されたものである。

【選択図】 図2



特願 2 0 0 3 - 0 5 8 8 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー



特願 2 0 0 3 - 0 5 8 8 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 0 7 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 1 日

[変更理由]

新規登録

住 所

埼玉県行田市富士見町 1 丁目 4 番地 1

氏 名

ジェコー株式会社